

SmartSpice는 고정밀 아날로그 회로/아날로그 믹스드 시그널 회로의 설계, 주요 회로망의 분석, 셀 라이브러리의 추출 등에 필요한 성능과 정확성을 제공합니다. SmartSpice는 일반적인 아날로그 디자인 플로우 및 파운드리에서 제공하는 소자 모델과 호환됩니다.

특징

- 넷리스트, 모델, 분석 특징 및 결과에 대해 HSPICE™ 및 Spectre™와 호환
- 주요 아날로그 디자인에 대해 정확한 시뮬레이션 결과 제공
- 고속 회로 시뮬레이션을 위해 멀티 스레드, 멀티 CPU 지원
- 수렴의 우수성을 위해 다중 솔버 및 스텝핑 알고리즘 제공
- 보편적인 기술 (Bipolar, CMOS) 및 새로운 기술 (TFT, SOI, HBT, FRAM, FinNET 등)에 대해 보정된 SPICE모형을 최대한 제공
- Verilog-A를 통해 개방형 모델 개발 환경과 광범위한 아날로그 행동 능력을 제공
- 나노 단위의 설계를 위한 SEE (Single Event Effects) 신뢰성 분석
- 실바코의 강력한 암호화 기능으로 고객 및 타사의 소중한 지적 재산을 보호
- 독자적인 러버 밴드 기능을 통해 모델, 인스턴스, 사용자 정의 파라미터의 수정에 의한 시뮬레이션의 변화를 SmartView에서 실시간 확인

정확성

SmartSpice는 최신 FinFET 노드에 나노미터 효과를 통합한 아날로그 디자인에 대해 가장 정확한 회로 시뮬레이터입니다.

- 연속성, 선형성 및 유효한 파라미터 범위에 대해 실행 중에 버클리 물리 기반 모델 파라미터를 검증하고 확인
- 제대로 추출되지 않은 파운드리 모델의 불일치를 검출하여, 최종 제품의 성능 및 정확도 저하를 방지
- 시뮬레이션의 속도와 정확성을 제어하기 위한 풍부한 옵션

속도

- 타사의 SPICE 제품보다 2~4배 빠르게 시뮬레이션
- 네트워크 분산 SmartSpice 및 원격 .ALTER
- 네트워크 분산 몬테 카를로 분석
- 스레드 풀을 활용한 효율적인 병렬 처리

수렴

SmartSpice는 최적의 수렴을 위한 솔버를 선택합니다.

- 일련의 메소드 및 알고리즘을 통해 초기 조건과 반복적인 내용을 탐색하여 최적의 수렴을 달성
- 다중 솔버가 주어진 회로 토폴로지에 적합한 최상의 솔버 제공

분석

SmartSpice는 분석 옵션에 대해 사용자 정의 지원을 제공합니다.

- 과도 분석을 위한 알고리즘을 중지/계속
- 내포 파라미터 분석
- 넷리스트에서 사용되는 이름의 범위를 지정
- 다음 파라미터 단계에서 직접 행렬 접근을 통해 셀의 특성을 빠르게 파악
- 부회로 수준에서 정교하게 최적화
- 파운드리에서 공급한 컴팩트 모델에 영향을 주는 .RAD 구문으로 SEE를 분석
- 나노미터 설계를 지원하는 .MODEL 파라미터에 대해 방정식 편집



기존 디자인 플로우에 채택 용이

SmartSpice는 사용자의 디자인 플로우 및 파운드리 모델에 적합합니다.

- HSPICE 및 Spectre로 구현한 기존 디자인 플로우에서 SmartSpice 사용 가능
- 파운드리에서 공급한 HSPICE 및 SPECTRE 모델을 지원
- HSPICE, PSPICE™ 및 Berkeley SPICE에 대해 기존 넷리스트를 지원
- Spectre 호환 모드에서 SmartSpice 실행으로 ADE를 통해 Cadence 아날로그 환경과 매끄럽게 통합
- 작업 처리 소프트웨어(LSF, Sun Grid 등)를 유연하게 실행
- 실바코의 제품 군과 완벽하게 통합

모델 개발 능력

- 아날로그 모델링에서 최고의 정확성을 자랑하는 Utmost와 함께, 1984년 이래 SPICE 모델링, 데이터 수집 및 모델 파라미터 추출 분야에서 최상의 경쟁력을 발휘
- Verilog-A 모델은 Accellera 표준 전기-열 모델, 센서 모델 및 기타 복잡한 물리 효과를 구현하기 위한 가장 빠른 방법을 제시. Verilog-A 디버거는 맞춤형 모델 개발에 도움
- 실바코는 전체 온도 영역에 대한 DC, AC, S-파라미터, 캐패시턴스, 온도, 노이즈, SPICE 파라미터와 통계 분석을 활용한 코너 모델을 추출하기 위해 정확하고 신속한 SPICE 모델링 서비스를 제공

이용 가능한 모델

BJT/HBT: Gummel-Poon, Quasi-RC, VBIC, MEXTRAM, MODELLA, HiCUM, HBT, HiSIM-IGBT

MOSFET: Level 1,2,3, BSIM1, BSIM3, BSIM4, BSIM6, BSIM-CMG (FinFET), MOSII, MOS20, EKV, PSP, HiSIM, HiSIM2, Level 88, HiSIM_HV, HiSIM_HV2, MOSVAR

TFT: RPI poly-Si, a-Si TFT, UOTFT, MOTFT

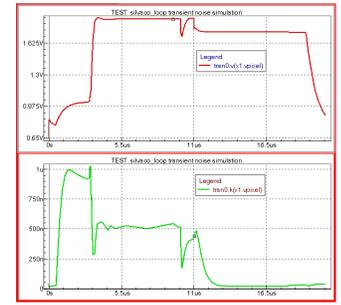
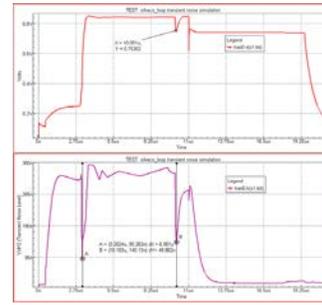
SOI: Berkeley BSIM3SOI, BSIMSOI4, BSIM-IMG, CEA/LETI SOI, LETI-UTSOI

MESFET: Stats, Curtice I & II, TriQuint 1, 2 and 3

JFET: LEVEL 1, LEVEL 2

Diode: Berkeley, Fowler-Nordheim, Philips JUNCAP/Level 500, HiSIM Diode

FRAM: Ramtron FCAP



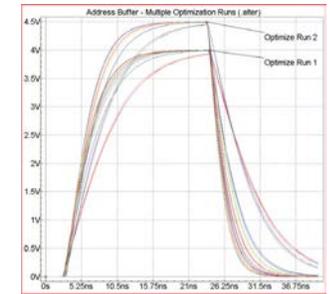
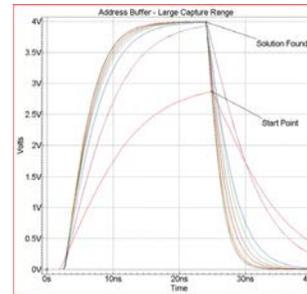
과도 노이즈 시뮬레이션: 상이한 회로 노드에서의 전압 및 노이즈 파형

입력

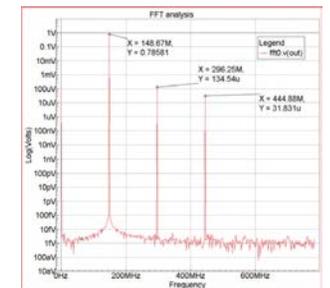
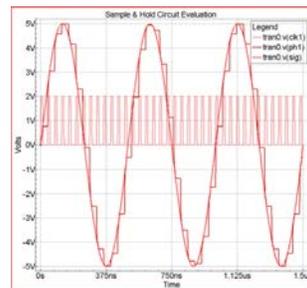
Berkeley SPICE, HSPICE and Spectre netlists, W-element RLGC matrix files, S-parameter model files, Verilog-A.

출력

Rawfiles, Spectre PSF, HSPICE tr0 and mt0, Analysis results, Measurement data, (portable across UNIX/windows platforms).



Integrated Optimizer는 소자 또는 모델 파라미터를 반복하여, DC, AC, 과도 곡선, 전파 지연, 상승/하강 시간, 전력 손실 등의 형태로 목표 사양을 달성합니다. 부회로의 최적화도 가능합니다.



SmartView: SmartSpice 및 HSPICE 시뮬레이션 결과로부터 상승 시간, 기울기, 벡터 계산에 필요한 시간/전압/전류/전력의 측정 그래프 및 플롯과 아이 다이어그램을 생성합니다.

SILVACO

(주) 실바코 코리아
서울특별시 강동구 구천면로 140 (천호동) 스타시티빌딩 5층
Tel: 02)447-5421 E-mail: krsales@silvaco.com



Rev 042420_48

WWW.SILVACO.COM