

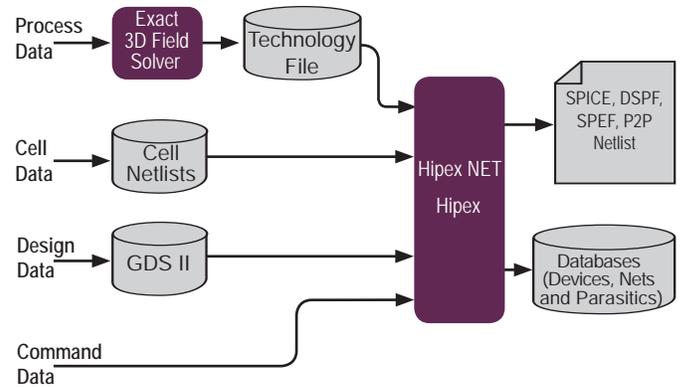
Hipex는 정확하고 빠른 전체 칩의 계층 추출 소프트웨어로서, 계층형 레이아웃에서 기생 캐패시턴스와 저항을 추출합니다. Hipex는 Expert 레이아웃 에디터와 긴밀하게 통합되어 DRC/LVS 및 RC 기생 추출 등의 통합 디자인 플로우를 실현합니다.

특징

- 프로그래밍 가능한 넷리스트 추출 기능이 추출된 파라미터로 사용자 정의 세트를 제공 (예. Well Proximity, STI 스트레스 효과)
- RC, C, R, 커플링 C 및 전체 분산 RC 등의 다양한 기생 추출 모델 제공
- 특정 넷을 추출하여 SoC 및 대용량 메모리에서 주요 경로의 RC를 신속하게 추출
- 분산 기생 RC 네트워크에 대해 효율적으로 네트워크 감축
- SPICE, DSPF, SPEF 및 P2P 형식으로 기생 넷리스트 파일 출력
- 자동화된 백 애노테이션 기능으로 정확한 포스트-레이아웃 시뮬레이션 및 분석
- 필드 솔버 모드로 기생 저항을 정확하게 계산

Hipex NET 소자 추출

- Expert 레이아웃 에디터와 통합
- 맞춤형 기술 (예: LCD, 아날로그, 믹스드) 및 업계 표준 PDK 지원
- 기존 레이아웃 계층을 보존하는 계층형 넷리스트를 추출하여 분석이 용이
- MOSFET, MESFET, BJT, JFET, 다이오드, 캐패시터, 저항 및 사용자가 정의한 파라미터 소자 추출
- 단락, 개방, 땀글에 대해 (ERC, Electrical Rule Checking) 수행
- 추출된 파라미터 세트에 대해 전체 맞춤형 기능 제공
- 45°, 90° 가 아닌 소자를 정확하게 추출
- 대용량 설계를 처리하기 위해 메모리를 효율적으로 사용
- 32비트, 64 비트 버전으로 사용 가능
- 백 애노테이션 및 소자/넷 프로빙을 위해 넷리스트 데이터 기반을 유지



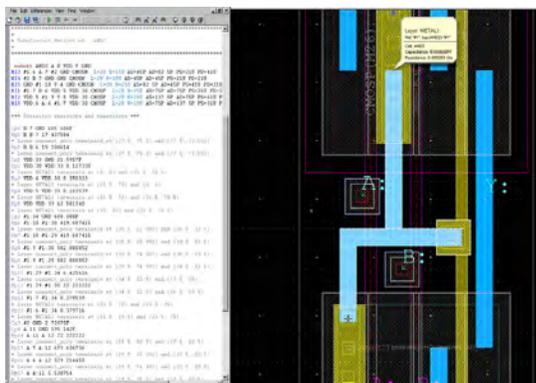
Hipex 전체 칩 기생 추출 제품 디자인 플로우

Hipex 기생 캐패시턴스 추출

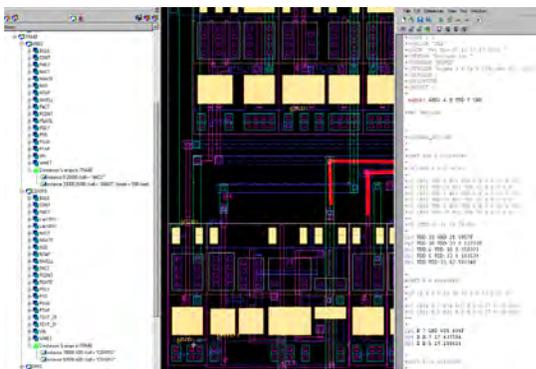
- 룰에 기초한 테크놀로지 파일로 동작
- 스키매틱 넷리스트를 기생 캐패시터로 백 애노테이션
- 스트라이핑 알고리즘과 스트라이프 데이터베이스로 멀티 프로세서 머신에 대해 효율적인 병렬처리 가능
- 라우팅 통과와 통합을 위해 블랙박스 지원
- 전체 칩 및 선택한 넷에 대해 기생 커플링 캐패시터 추출
- 사용자 정의 또는 자체 캐패시턴스 모델 제공
- 3D 정밀 모드를 위해 Exact로 생성한 외부 캐패시턴스 룰 파일 지원
- 각각의 넷에 증가형 캐패시턴스 데이터베이스 생성
- 선택한 넷을 추출하여, 주요 경로의 기생 캐패시턴스를 빠르게 계산
- 디스플레이 설계를 위한 비차폐(다변형) 캐패시턴스 모델 제공
- 맞춤형 코너 및 오버랩 모델을 제공하여 보다 정확한 캐패시턴스 계산

Hipex 기생 저항 추출

- 룰 기반 테크놀로지 파일에 의해 동작
- 기생 저항으로 스키매틱 넷리스트를 백 애노테이션
- 거리/폭의 공정 편차 지원
- L, T, Cross, Bend 저항 형상 처리
- 맞춤형 저항을 계산하기 위해 사용자 정의 스크립트 허용
- 저항 형태를 단순화하기 위해 컨택 확대 및 결합 활용
- 전체 칩 또는 선택 노드에 대해 계층적으로 기생 저항을 갖는 넷리스트 추출
- 각각의 넷에 대해 증가형 저항 데이터베이스 생성
- 임의의 형태를 갖는 저항에 대해 다중 추출 모델 및 방정식 솔버 사용
- 보다 정확한 RC 분포를 위해 긴 도선을 분할
- 필드 솔버 모드를 제공하여, (컨택이 많고 멀티 레이어 버스가 있는 영역처럼) 난해한 부분에 대해 저항을 정밀하게 추출



Hipex RC 데이터베이스는 Expert 레이아웃 뷰에서 기생 성분을 시각적으로 표현합니다.



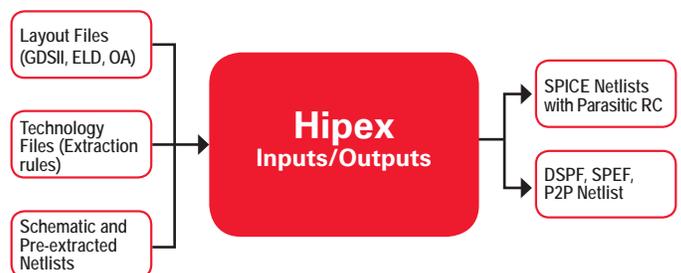
Hipex는 SPICE, DSPF, SPEF 형식을 지원합니다.

Hipex 기생 네트워크 분포

- 추출된 노드를 기생 저항 및 기생 캐패시턴스와 결합
- 커플링 및 접지 캐패시터를 분포
- 최소 저항 및 캐패시턴스에 대한 사용자 정의 임계값
- 저장된 위치를 사용하여, 기생 저항 위에 정확하게 캐패시터를 분포
- RC 네트워크에 상세한 모델 사용
- SPICE, DSPF, SPEF, P2P 넷리스트로 결과 출력
- 추출된 넷리스트를 스키매틱 노드 이름으로 백 애노테이션
- 넷 캐패시턴스 및 포인트 사이의 저항에 따라 존재하는 P2P 형식 지원

Hipex-CRC 네트워크 감축 틀

- 포스트-레이아웃 및 포스트-루트 시뮬레이션 실행 시간을 대폭 단축
- 시간 영역 및 SPBM (Scattering-Parameter-Based Macromodeling) 방법을 사용하여 감축 실행
- 땀글 RC 성분 및 사용자 설정 임계값에 의한 RC 성분을 제거; 병렬/직렬 병합 실행
- 선형 시간 내에 네트워크 감축 실행
- 루프와 함께 RC 네트워크 처리
- 감축된 RC 네트워크에 대해 시뮬레이션의 정확성 유지
- SPICE, DSPF, SPEF 형식 지원
- 설정 변경에 의한 맞춤형 감축



SILVACO

(주) 실바코 코리아
서울특별시 강동구 구천면로 140 (천호동) 스타시티빌딩 5층
Tel: 02)447-5421 E-mail: krsales@silvaco.com



Rev 042220_27

WWW.SILVACO.COM