

Gateway는 모든 기술의 평면 또는 계층 설계를 지원합니다. Gateway는 EDIF 2 0 0 표준을 통해 다른 스키매틱 에디터의 기존 설계를 손쉽게 수용합니다. Gateway는 전체적인 설정을 통해 대규모 설계팀에서 사용할 수 있으며, 특유의 워크스페이스로 다중 설계 및 기술을 처리합니다.

특징

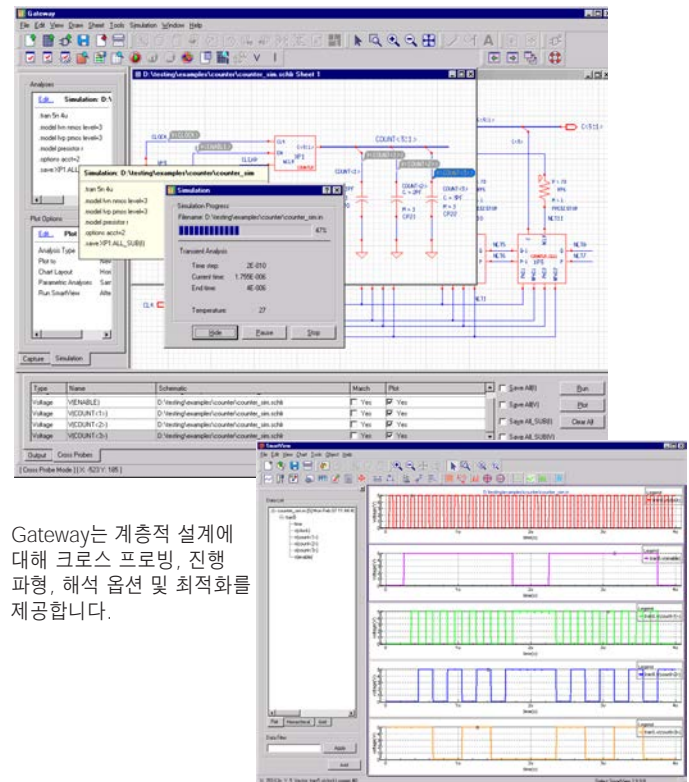
- 강력한 스키매틱 캡처 및 에디터 기능으로 멀티 뷰, 멀티 시트, 계층형 IC 디자인을 생성 및 수정
- SmartSpice 회로 시뮬레이터와 유연하게 통합되어, 행동 모델, 크로스 프로빙, 파형 디스플레이, 분석 기능을 갖춘 대화형 설계 환경 생성
- HSPICE와 호환되는 입력 데크 생성
- Verilog (IEEE 1364) 입력 데크를 생성하여, 실바코 디지털 시뮬레이터 Silos와 통합
- 설계 팀에서 사용하는 셀 및 심볼 라이브러리에 대해 워크스페이스를 공유하여 다중 사용자 프로젝트를 제어
- EDIF 2 0 0을 통해 타사의 스키매틱 캡처 툴로부터 전환
- 하나의 스키매틱으로부터 시뮬레이션, LVS, NDL, CDL 등 다양한 용도로 사용하기 위한 넷리스트 생성
- 실바코의 강력한 암호화 기능으로 고객 및 타사의 지적 재산권 보호 가능
- Javascript를 사용하여 스크립트 기능 지원
- OpenAccess iPDK 지원

사용 및 채택의 편리성

- 광범위한 맞춤형 PDK 세트 제공 및 iPDK 지원
- 직관적인 설계 방식, 툴 팁, 배치시뮬레이션 제어를 포함하여 신규 설계자 및 경력 사용자 모두에게 편리
- 라이브러리가 있는 다중 사용자 환경 설정 및 EDIF를 활용한 기존 데이터 도입 용이
- 신규 사용자를 위한 도움말 기능 및 툴 팁
- 배치 모드 시뮬레이션 옵션으로 스키매틱에서 직접 액세스 가능
- 파라미터 최소/최대 체크 기능으로 초기 오류를 제거
- 와이어-와이어, 와이어-핀, 명칭에 의한 와이어, 묵시적/전체적 연결 지원

풍부한 기능

- 심볼, 부회로, 하위 스키매틱 및 Verilog-A 모델 생성 용이
- 시뮬레이션, 스키매틱에 의한 레이아웃, LVS 호환을 위한 포괄적인 심볼 생성 및 편집 기능
- 반복 작업 및 기존 캡처 툴의 에뮬레이션을 위해 사용자가 키를 구성 가능
- 모듈식, 재사용 가능한 설계, 라이브러리, 기존 회로와의 작업을 위한 계층형 캡처
- 와이어, 버스, 버스 분할, 버스 병합 등 효과적인 편집 기능
- 룰 체크를 통해 전기적 드로잉 규칙 위반 및 명칭 오류 표시
- Pcell (Parameterized cell)에 설계의 초기 데이터를 부여하여, 설계-규칙-연결 레이아웃 컴퍼넌트를 자동 생성
- Verilog 또는 SPICE 넷리스트를 이용하여 설계에 필요한 심볼 파일 생성



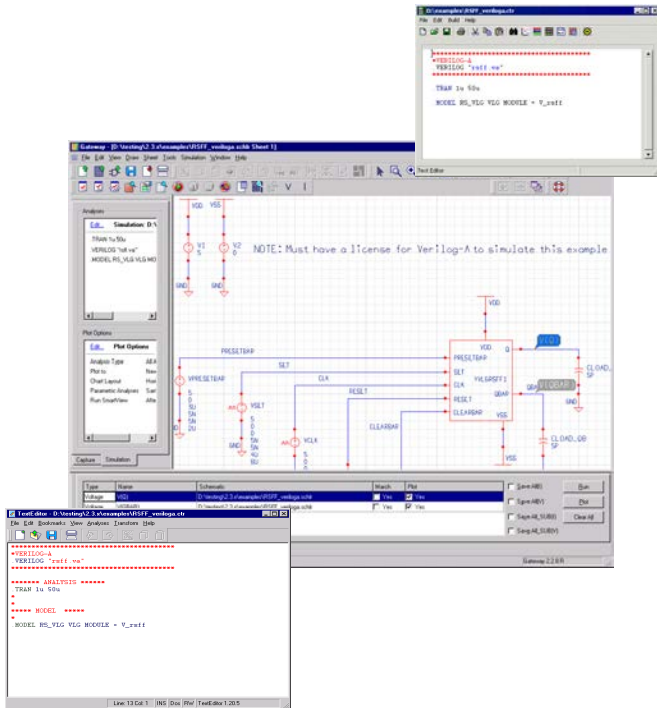
Gateway는 계층적 설계에 대해 크로스 프로빙, 진행 파형, 해석 옵션 및 최적화를 제공합니다.

통합 커스텀 IC 디자인 플랫폼

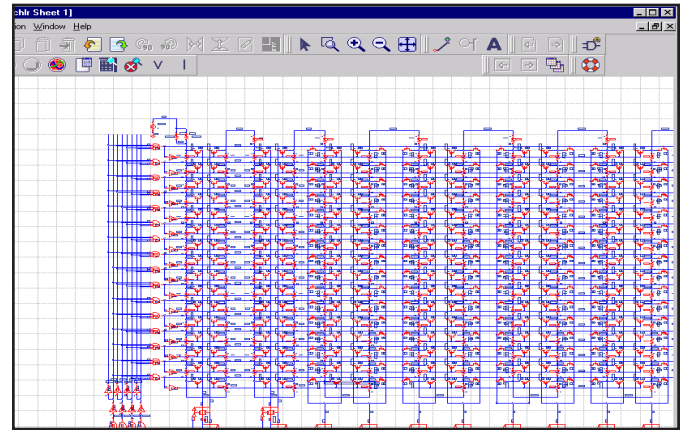
- 커스텀 아날로그 회로를 위한 설계 자동화 솔루션
- Gateway는 SmartSpice 회로 시뮬레이션, Expert 레이아웃 편집 툴, Guardian DRC/LVS 물리적 검증 툴 및 Hipex 기생 성분 추출 툴과 긴밀하게 연계
- 지연, 기울기, 오버슈트, 상승 시간, 아이 다이어그램을 함께 측정하기 위해 SmartView 그래픽 파형 포스트프로세서와 통합 - 벡터 계산기로 완성
- 스키매틱과 레이아웃 사이의 강력한 크로스 프로빙 기능으로 설계에 대한 실시간 피드백을 제공
- 콜백 기능에 의해 디자인 규칙, 내성, 파라미터 계산, 프로세스 왜곡에 대한 표현식을 실시간으로 평가
- 계층 전체에 대해 전류, 전압에 대한 DC 바이어스 표시

탁월한 생산성

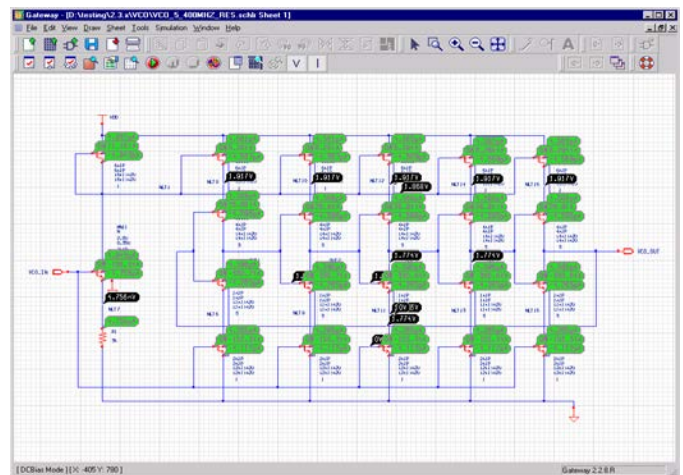
- 레이아웃, 시뮬레이션, LVS에 대한 멀티 뷰를 생성하여, 설계의 무결성 및 원활한 테이프아웃에 기여
- IP 배포를 위해 디자인 키트의 심볼에서 암호화된 넷리스트를 지원
- 진행 파형에 의해 시뮬레이션 결과를 실시간으로 파악
- 스키매틱, 시뮬레이션, 분석 간에 디자인 플로우를 효과적으로 제어
- 오류 표시 및 정정을 위해 스키매틱의 위치/레벨을 확대



Gateway는 트랜지스터와 행동 레벨 (Verilog-A) 스키매틱의 혼합 환경을 제공하여, 설계 시간을 최소화하고 효율을 최대화합니다. Verilog-A 스키매틱은 행동 블록 설계 또는 컴팩트 모델 설계에 활용할 수 있습니다.



Gateway는 대화형 IC 설계 환경을 통해 디지털/아날로그 블록, 스탠더드 셀, I/O와 위 그림과 같은 계층형 메모리 등을 생성합니다.



계층형 및 플랫폼 드로잉을 위한 전류, 전압 DC 바이어스

SILVACO

(주) 실바코 코리아
서울특별시 강동구 구천면로 140 (천호동)
스타시티빌딩 5층



CALIFORNIA
MASSACHUSETTS
TEXAS
EUROPE
FRANCE

sales@silvaco.com
masales@silvaco.com
txsales@silvaco.com
eusales@silvaco.com
eusales@silvaco.com

JAPAN
KOREA
TAIWAN
SINGAPORE
CHINA

jpsales@silvaco.com
krsales@silvaco.com
twsales@silvaco.com
sgsales@silvaco.com
cnsales@silvaco.com