

Victory Device

3D Device Simulation

SILVACO

개요

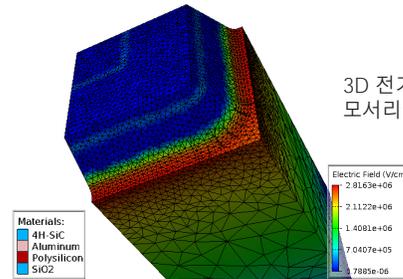
Victory Device는 범용 3D 소자 시뮬레이터로서, 사면체 메쉬 엔진으로 복잡한 3D 구조를 빠르고 정확하게 시뮬레이션합니다. Victory Device는 실리콘, 2족, 3족, 4족 물질에 기초한 소자에 대해 DC, AC, transient 분석을 수행합니다.

특징

- 사면체 메쉬로 3D 구조를 정확하게 표현
- 등각 들로네 (Delaunay) 메쉬에 대한 보로노이 (Voronoi) 이산화
- 실리콘 및 화합물에 대해 사용자 맞춤형 물질 데이터 베이스를 갖춘 최신 물리 모델
- 응력에 종속적인 이동도 및 밴드갭 모델
- C-Interpreter 또는 DLL을 이용한 맞춤형 물리 모델
- DC, AC, transient 분석
- 드리프트-확산 및 에너지 밸런스 수송 방정식
- 열의 생성, 열의 흐름, 격자 발열, 방열 및 온도 종속성 물질 파라미터를 포함하여 발열 효과를 일관성 있게 시뮬레이션
- 임의의 화학물질 종류에 대해 전기화학 반응 및 수송 시뮬레이션을 실행하는 기법
- 사용자 맞춤형 화학 모델로 성능 저하, 원자 수송, 복잡한 전하 포획 메커니즘을 시뮬레이션
- 최신 멀티-스레드 수치 해석적 솔버 라이브러리
- Atlas 소자 시뮬레이터와 호환
- 실바코의 강력한 암호화 기능으로 고객 및 타사의 지적 재산권 보호

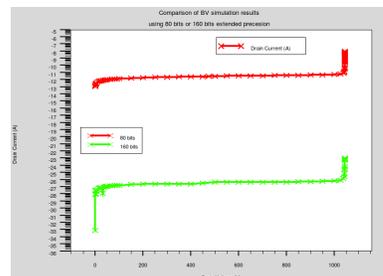
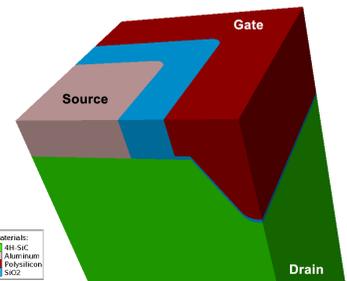
SiC 적용 예

3D 트렌치 SiC MOSFET의 시뮬레이션은 트렌치 상하부에 둥근 코너를 포함합니다. 자동화된 전체 3D 들로네 메쉬와 이에 대응하는 이산화 및 확장된 정밀 수치로, 최적의 시뮬레이션 시간 및 정밀도를 실현합니다.



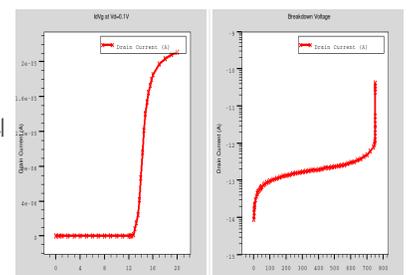
3D 전기장 분포. 전기장은 트렌치 모서리에서 최대값을 나타냅니다.

모서리에서의 실제 공정 시뮬레이션을 나타내는 3D 트렌치 SiC MOSFET.



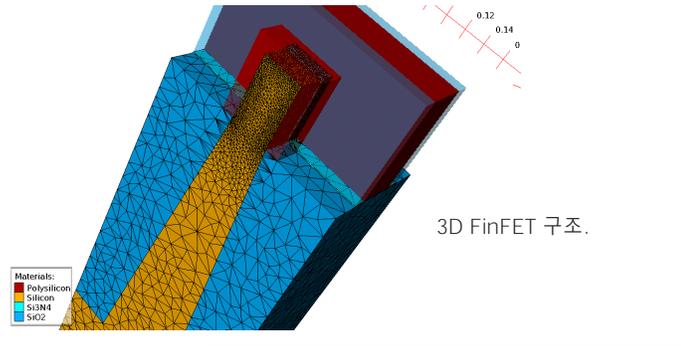
상이한 확장 정밀도 (80 비트 대 160 비트)를 사용한 3D SiC MOSFET 시뮬레이션 결과 비교.

3D 트렌치 SiC MOSFET의 IdVg 및 breakdown 전압 시뮬레이션의 결과

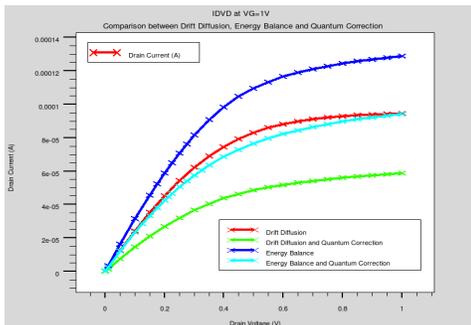


FinFET 적용 예

완전히 구조화되지 않은 3D 사면체 메쉬로 3D FinFET 시뮬레이션을 나타냅니다. 메쉬는 자동으로 생성되며, 도핑 및 계면에서 세밀하게 만들어집니다.



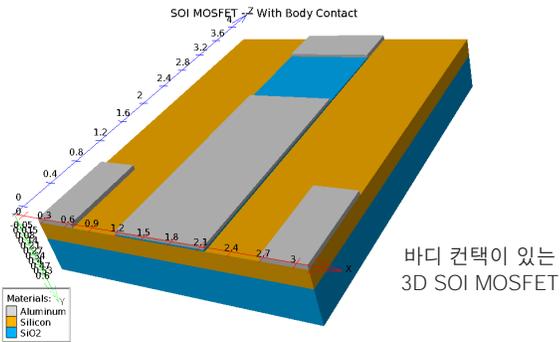
3D FinFET 구조.



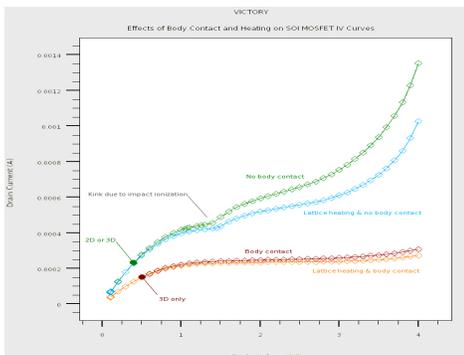
드리프트 확산, 에너지 균형과 양자 보정의 비교

SOI 적용 예

3D SOI MOSFET 소자의 시뮬레이션은 킥 효과를 억제하기 위한 바디 컨택의 사용 방법을 나타냅니다. 또한, IV 곡선에서 격자 발열의 영향을 나타내고 있습니다.



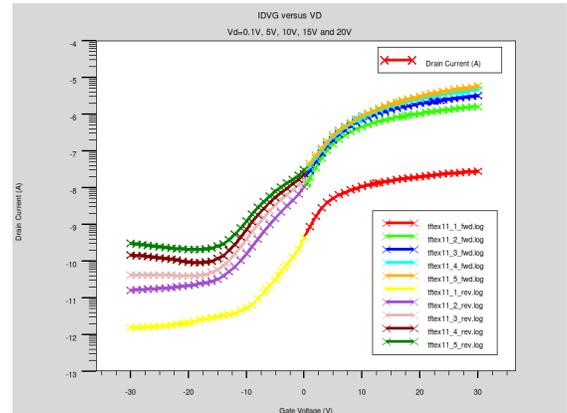
바디 컨택이 있는 3D SOI MOSFET



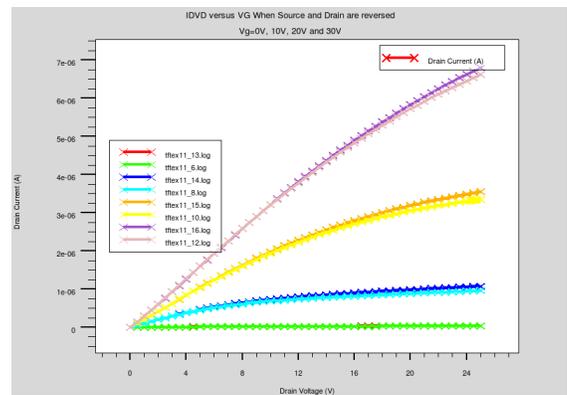
바디 컨택이 있는 3D SOI MOSFET 시뮬레이션의 IdVd. 킥 억제 효과를 나타냅니다.

TFT 적용 예

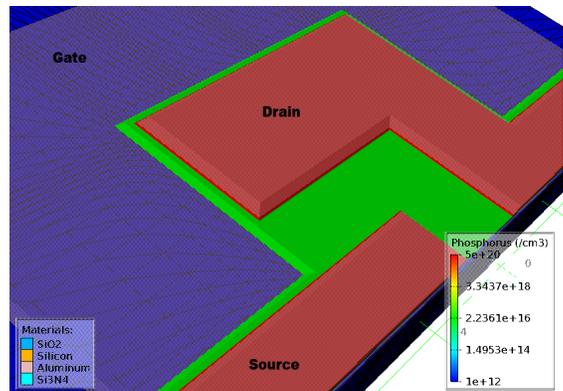
레이아웃에 기초한 3D n형 A-Si:H TFT 시뮬레이션에서 소스와 드레인 컨택이 반전되었을 때 IdVd 곡선에서 특정한 3D 효과를 나타냅니다.



3D TFT A-Si:H IdVg 시뮬레이션.



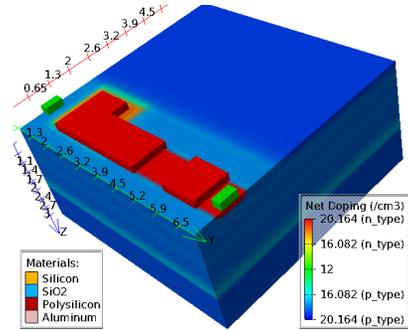
반전 소스와 드레인을 갖는 3D TFT A-Si:H IdVd 시뮬레이션.



3D TFT A-Si:H TFT 구조

CMOS 이미지 센서 적용 예

빛을 투사하고 차단했을 때, CMOS 이미지 센서의 transient 응답을 나타내는 3D 공정/소자 시뮬레이션

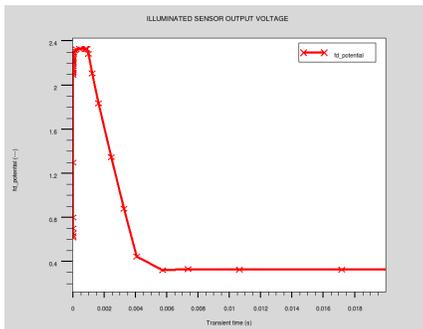
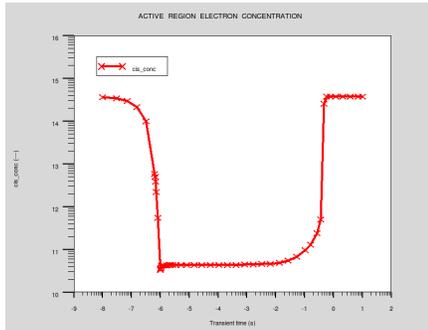


CMOS 이미지 센서의 3D 도핑 분포

태양 전지 적용 예

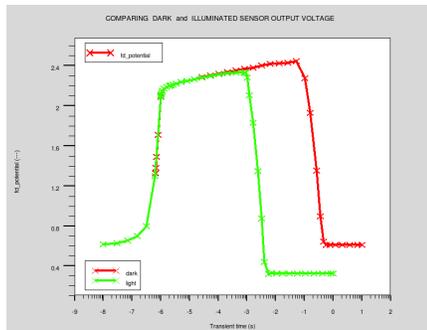
렌즈 유무에 따라 3D 태양 전지의 IV 특성을 비교하는 3D 공정/소자 시뮬레이션입니다. 3D 공정 시뮬레이션에서 산화막 렌즈를 만들기 위해 마스크에서 시작하여, 실리콘 상부에 산화막을 증착하고 각이 지게 식각합니다. 렌즈 형태는 식각 과정에서 사용되는 마스크의 크기와 각도의 함수로 조정할 수 있습니다. 소자 시뮬레이션은 빛의 반사, 굴절, 감쇠를 고려한 3D 광선 추적을 활용하여, 렌즈가 없을 때 반사율(흡수율)이 높음(낮음)을 나타냅니다.

빛을 차단했을 때, 활성 영역의 전자 농도

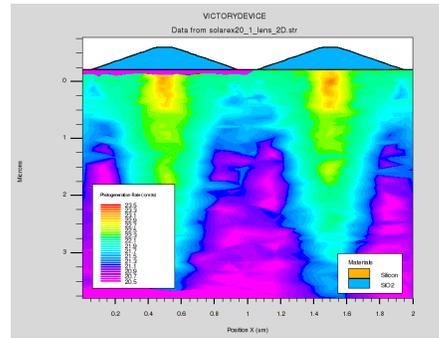
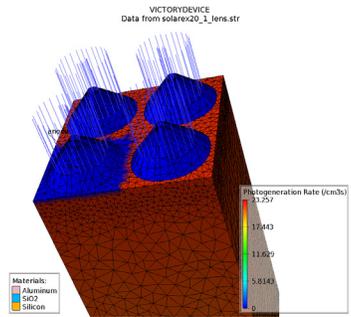


빛을 투사했을 때, 센서 출력 전압

빛을 투사하고 차단했을 때, 센서 출력 전압의 비교

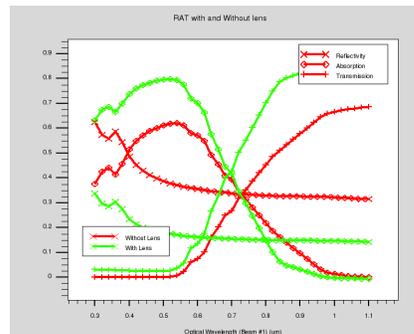
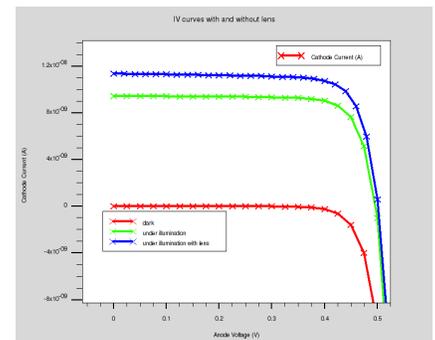


렌즈가 있는 태양전지의 광 생성률



광 생성률의 2D 단면도

렌즈 유무에 따른 태양 전지의 IV 특성

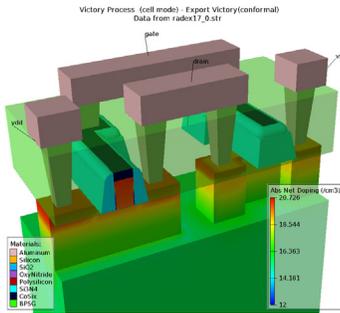


파장 대비 반사, 흡수, 전달

방사선 적용 예

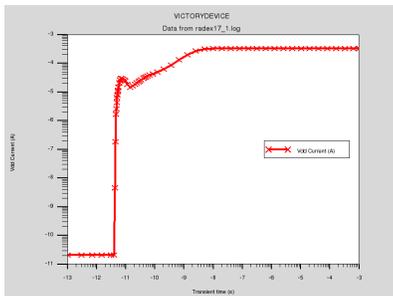
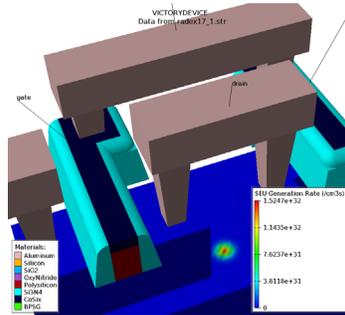
Single Event 65nm CMOS 인버터 래치업의 3D 공정/소자 시뮬레이션

모든 CMOS 회로의 공통적인 문제는 소스/드레인 컨택 사이의 NPNP 구조에 의한 기생 사이리스터의 존재입니다. 아래 예시는 CMOS 회로의 SEU (Single Event Upset) 상황에서 래치업 효과를 분석합니다.



65nm CMOS 회로.

SEU 발생.

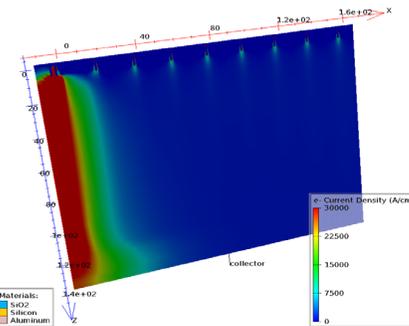
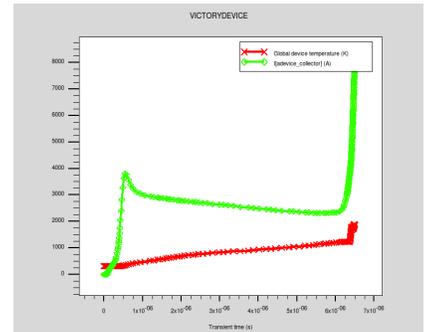


Vdd 전류 대 시간

IGBT 전력 적용 예

출력 회로에 단락 회로가 존재하는 경우 IGBT에 전류가 흐르면, IGBT 소자의 일부 영역에서 전류 필라멘트처럼 열의 형태로 전력을 소모할 수 있습니다. 전류 필라멘트의 발열 효과는 파괴적이므로, IGBT의 단락 회로 동작 중에 발생하면 안 됩니다. 아래 예시는 8셀로 구성된 IGBT에서 3D MixedMode 단락 회로 시뮬레이션을 실행하여, 멀티 셀 IGBT에서의 전류 필라멘트 발생 현상을 나타냅니다.

IGBT 콜렉터 전류 및 최대 소자 온도 대 시간



8셀 IGBT의 전자 전류 밀도

입력

- 입력 명령어 파일
- 소자 구조 파일 (기하학적 구조, 도핑, 전극)
- 물질의 물리적 특성 데이터베이스
- 사용자 정의 모델

출력

- 전기적 특성
- 소자 구조 파일 (전위, 전기장, 캐리어 농도, 온도)