SmartDRC/LVS with SmartRDE

スマート・フィジカル・ベリフィケーション

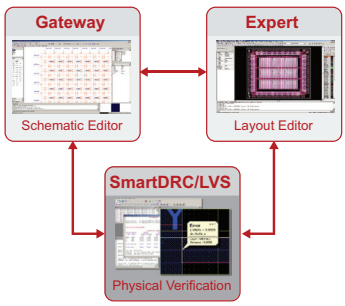
SILVACO

概要

SmartDRC/LVS with SmartRDEは、アナログ/ミックスド・シグナル/RF ICS設計の物理検証を高いパフォーマンスと精度で実現します。SmartDRC/LVSは、シルバコのスケマティック・キャプチャ、レイアウト・エディタと密接に統合されており、デザイン・ルール・チェック（DRC）、電気ルール・チェック（ERC）、レイアウト対レイアウト比較（LVL）、フィルレイヤ生成、レイアウトネットリスト抽出、レイアウト対回路図（SmartLVS）比較などを効率的に実行します。

特長

- シルバコ・アナログ・カスタム・デザイン・フローの一部としてスタンドアロン・モードでも動作可能
- Gatewayスケマティック・キャプチャ、Expertレイアウト・エディタ、フルカスタムデザイン・エコシステム、その他のサードパーティ製レイアウト・ツールと統合し、生産性を向上可能
- 直感的で強力な SmartRDE デバッグ・ツールにより、デバッグ時間を短縮
- 革新的なOne-Shot™レイアウトスキャン技術により、リニアに近いスケーリングと実行時間の予測性を実現
- ファウンドリで実証済みのプロセス・デザイン・キット（PDK）により、半導体プロセス・テクノロジを幅広くサポート（サインオフを含む）
- レイアウトと回路図間でのクロス・プロービングによる高速で直感的な階層型LVSデバッギングをサポート
- SmartLVSは、応力効果やウェル・プロキシミティ・パラメータの抽出をサポート
- ECO用途としてレイアウトとレイアウトのレイヤごとの比較、または階層型クイック差分（LVL）を利用可能
- シルバコの強力な暗号化機能により、お客様や第三者の貴重な知的財産を保護可能



SmartDRC/LVSは、シルバコのアナログ・カスタム・デザイン・フローと密接に連携できることはもとより、サードパーティのデザインフローとも容易に統合できます。

SmartDRC

- SmartRDE GUIによるインタラクティブ/バッチモードの両方で、あらゆる設計に対応するフルDRCコマンドセットを使用可能
- 大きなマクロブロックやセルアレイの階層的な処理をオンデマンドで実現
- サインオフ・モードでの階層レポート機能
- 効率的なメモリ管理と高度なアルゴリズムに基づき最適化されたレイヤオペレーションにより、WindowsおよびLinuxプラットフォームの性能を最大限に引き出すことが可能
- アンテナ・ルールチェックを含むコネクティビティ・ベースのDRC処理を実行可能
- ブロックベースのルール処理によるDRCコマンドの最適化を実行可能
- 業界標準と互換性のある出力結果

SmartLVS

- 直感的な階層型LVS不一致レポートにより、エラーデバッグにかかる時間を大幅に短縮
- デバイス・パラメータ抽出と比較のための高度な機能
- GatewayスケマティックとExpertレイアウト・エディタ間のダイレクト・データベース・リンク（クロス・プロービング・オプション）
- サブサーキットのブラックボックス・オプションにより、階層モードでのインクリメンタルなLVS比較、トップレベルで検証されたデザインへのIPブロックの容易な組み込みが可能

SmartRDE

- オンザフライの有効性チェックで実行設定を管理
- DRC、LVL、LVS、ピュアNVNジョブの進捗を確認しながら開始可能
- DRC違反のルールまたはセルによるソート
- DRCの結果をエリア別にフィルタリング
- LVSの結果をセル、ネット、デバイスの種類でフィルタリング
- レイアウトエディタによるインタラクティブなデバッグが可能
- ログやその他のレポートの確認
- 処理を支援するWaiver機能
- 抽出からLVS結果の表示とデバッグが可能

SmartDRC/LVSのルール言語

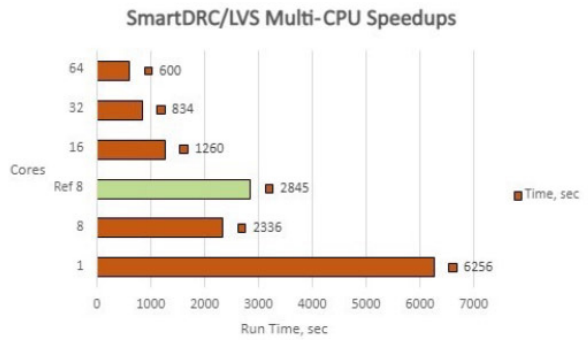
- PWRL（Power-L）
- 豊富なチェックと操作のセット
- 変数、条件分岐、マクロ、インクルードなどの前処理ツールによる柔軟性
- 学習と使用が容易
- ルールの完全または部分的な暗号化が可能
- SmartDRC/LVSのコンパイル専用モードにより、ルール・ファイルのデバッグが可能
- 様々なプロセス向けのルール/PDKを幅広くご用意

速度、精度、キャパシティ

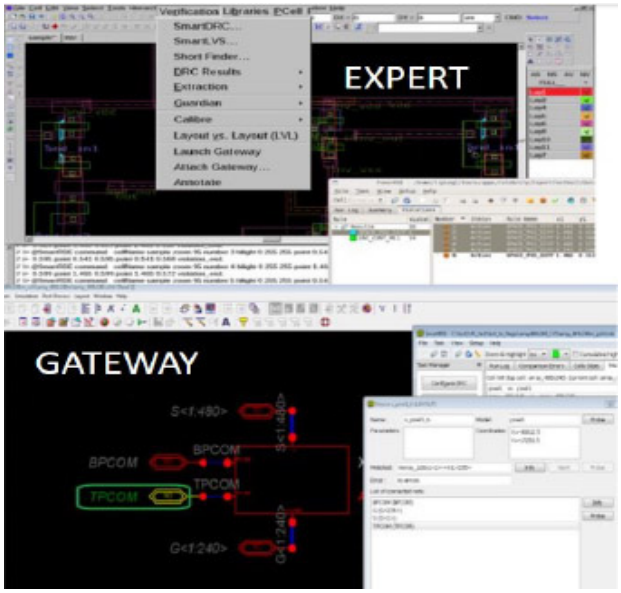
- 並列DRCタスクは、マルチCPUモードで実行可能:
  - o 単一のマルチコアホスト
  - o マルチホスト仮想マシン
- 最大128CPUコアのスケーラビリティを実現
- SmartDRCは、以下のような並列処理に対応:
  - o 独立したルールグループ（ブロック）
  - o 独立したレイアウトパーツ（ストリップ）
  - o 独立したマクロブロック(階層モード)
- LVSトレース時にビルトインデバイス（トランジスタ、ダイオード、抵抗、コンデンサなど）、ユーザ定義汎用デバイス、ユーザ定義サブサーキット、ブラックボックス・サブサーキットを高精度に認識
- あらゆる半導体プレーナープロセスに対応し、効率的に極めて予測性の高いフルチップのレイアウトのネットリスト抽出
- フラットパネルディスプレイに対応する精度と容量
- デバイスのパラメータを正確に計算可能
- アナログ設計に重要な形状依存のデバイス特性を、ビルトインまたはユーザー定義の方程式とマクロで正確に計算

生産性と汎用性

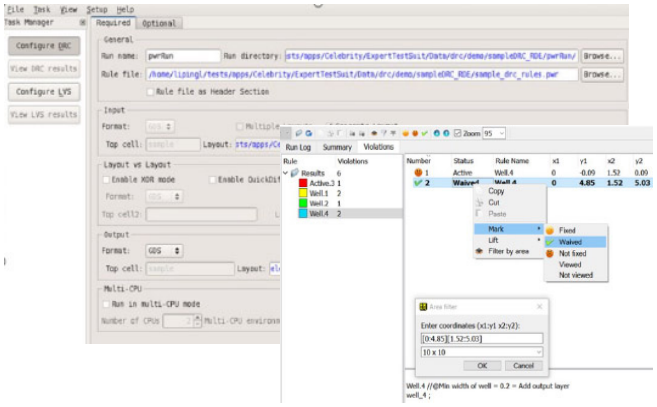
- 階層型デザイン・データベースは、フラットおよび階層型LVSネットリストの比較操作をサポート
- デバイス形成に使用される任意の形状（任意の角度）のポリゴン形状の扱いが可能
- 回路図ネットリスト、レイアウトネットリスト、回路図デザイン、物理レイアウトの階層的なクロスプロービングと便利なフィルタリングオプション
- ERC違反（ショート、オープン、フローティングネット、バーチャルコネクト、不正なデバイス）を検出し、ハイライト表示
- フラット、階層型、ブラックボックス・ネットリストとネットリストの比較
- ネットリストデバッグ用コンパイル・スケマティック・オプション
- 対応フォーマット:
  - o レイアウト: GDSII、OASISおよびOA
  - o スケマティック: SPICE、CDL、VerilogおよびOA
- 対応プラットフォーム: Windows、Linux



4 x Intel Xeon E5-2686 2.3GHz (64 CPU cores)
RAM: 128 GB, HDD: 10 GB SAS + 150 GB



LVSクロスプロービング
インタラクティブな階層型クロス・プロービング LVSの不一致を明確に表示



SmartRDEによるDRC実行の設定とDRC結果の表示

SILVACO
WWW.SILVACO.COM
株式会社シルバコ・ジャパン
お問い合わせ：jpsales@silvaco.com
横浜本社 〒220-8136
神奈川県横浜市西区みなとみらい 2-2-1
横浜ランドマークタワー 36F
TEL：045-640-6188 FAX：045-640-6181
Rev 040424_14