

Cello Planar

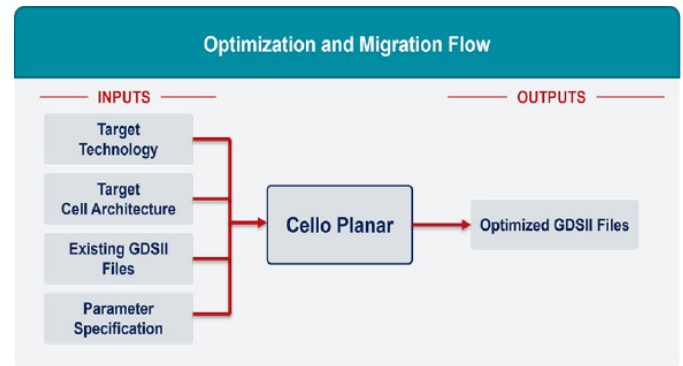
Cell Library Migration and Optimization

개요

Cello Planar는 단일 솔루션에 디지털 스탠더드 셀 라이브러리의 설계를 집중시켜 자동화합니다. 설계자는 라이브러리에서 모든 셀의 각 속성을 제어하고 수정할 수 있으므로, 세밀한 조정으로 가장 엄격한 설계 요건도 충족할 수 있습니다. Cello Planar에 의해 기존 작업을 재활용하여 트랜지스터 크기, 행 높이, DFM (Design For Manufacturability) 규칙 및 기타 설계 파라미터를 미세 조정하여 전력 소비, 주파수, 면적을 보완할 수 있습니다. 또한 Cello Planar는 TCL을 활용한 포괄적인 레이아웃 스크립트 인터페이스를 제공하고, 타사 검증 툴 (DRC, LVS, PEX)과 최소의 지장으로 통합되어, 레이아웃 편집 플로우에서 유연하게 사용할 수 있습니다.

특징

- 대화식 레이아웃 DRC 정리 및 최적화 기능 제공
- 공정 기술 및 파운드리 설계 규칙을 빠르게 설정하여, 사용 첫 주에 DRC 무결점 레이아웃 생성 가능
- 구문에 민감한 간격 및 인클로저 규칙, 선호하는 모양 패턴, 자체 정렬 이중 패턴 (SADP) 등의 최신 공정 기술 조건 지원
- TCL 스크립트 API를 통해 레이아웃 디자인 플로우를 유연하게 활용
- 기존 플로우에 대한 지장을 최소화하여 사인오프 및 레이아웃 편집 환경과 통합
- 확장할 수 있는 병렬 처리



Cello Planar Flow

장점

- 설계 규칙 수정을 자동화하고 수동 작업을 최소화하여 설계의 효율성 향상
- 후반 작업 시간을 단축하고 전력 최적화 가능
- 유사한 라우팅 구조를 공유하는 셀 아키텍처, 기술 노드 간에 레이아웃 이식
- 상이한 셀 아키텍처, 트랜지스터 규격, 디자인 규칙 (예: DFM)을 탐색하여 라이브러리 포트폴리오를 쉽게 확장
- 집중적, 구조적 워크플로우 제공
- 핀 액세스 및 블록 접합 등의 일관적인 라이브러리 레이아웃

레이아웃 이식 우수

- GDSII 기반 레이아웃 이식 지원
- 셀 템플릿을 제공하여, 셀 트랙 높이, 게이트 피치, P/N 비율, 전원 레일의 크기 및 위치, 셀 아키텍처 요소 등을 구성
- 트랜지스터의 크기를 조정하여 신규 템플릿 또는 드라이브 강도 요건을 충족하고, 누설 전류를 줄이기 위해 게이트 길이 변수를 생성
- 반복적인 루프를 통해 설계 목표 탐색

지원 플랫폼

- Red Hat Enterprise Linux® version 7