

Clever를 활용한 델타 유형 픽셀의 고정밀 캐패시턴스 추출

소개

TFT LCD 디스플레이에서 제조 원가 절감은 지속적이며 중요한 이슈입니다. 오늘날 TFT 어레이 공정의 중요한 문제에는 저저항 게이트 버스 라인 개발, 균일하고 미세한 식각, 리소그래피의 정확성 향상 등이 있습니다. TFT 어레이 기술은 대화면뿐만 아니라 고정밀, 큰 조리개 비율, 저전력 소비를 목표로 합니다.

또한, 컬러 필터(CF) 제작도 중요한 문제입니다. 컬러 필터는 염색, 확산, 증착, 인쇄 등의 방법을 활용하여 염료나 안료로 만들 수 있습니다. 보다 선명한 색상을 얻기 위해서 컬러 믹싱 방법이 중요합니다. 일반적으로, 가장 인기 있는 스트라이프 유형, 모자이크 유형, 델타 유형 등 3가지가 있습니다. 델타 유형은 고해상도를 얻기 위해 LCD 디스플레이에 가장 좋은 컬러 믹싱 방식입니다.

본 문서에서 Clever는 ITO와 신호 금속 라인 사이의 캐패시턴스의 정확도와 구조 의존성의 연구 기능[1]을 소개합니다.

평면 디스플레이 및 Clever

Clever의 3D 프로세스 모델을 사용하면, 모든 백엔드 프로세스 단계가 수행된 후, 최종 구조의 형상을 생성할 수 있습니다. 여기에는 GDSII 레이아웃 패턴을 통한 증착, 식각 및 리소그래피가 포함됩니다. Clever는 능동 TFT 소자의 메쉬 품질인 증황비와 큰 픽셀 영역도 고려합니다.

컬러 믹싱은 그림 1과 같이 3가지 유형이 있습니다.

스트라이프 유형이 현재 가장 널리 사용되지만, 델타 유형은 최상의 컬러 믹싱 기능을 갖추고 있으며 각 하위 픽셀을 독립적으로 켜거나 끌 수 있으므로, 동일한 패널 크기와 해상도에서 픽셀 가장자리가 더 세밀하게 됩니다.

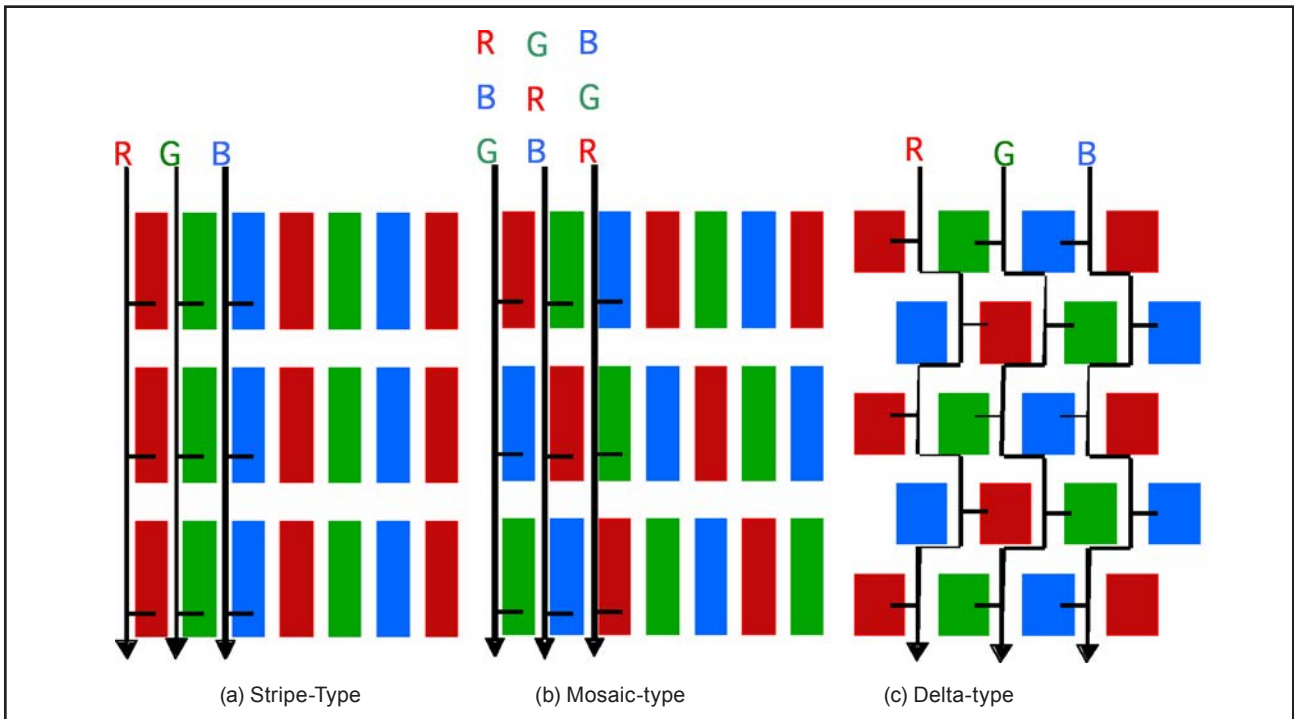


그림 1. 패널 하위 픽셀 배열. (a) 스트라이프 유형 (b) 모자이크 유형 및 (c) 델타 유형

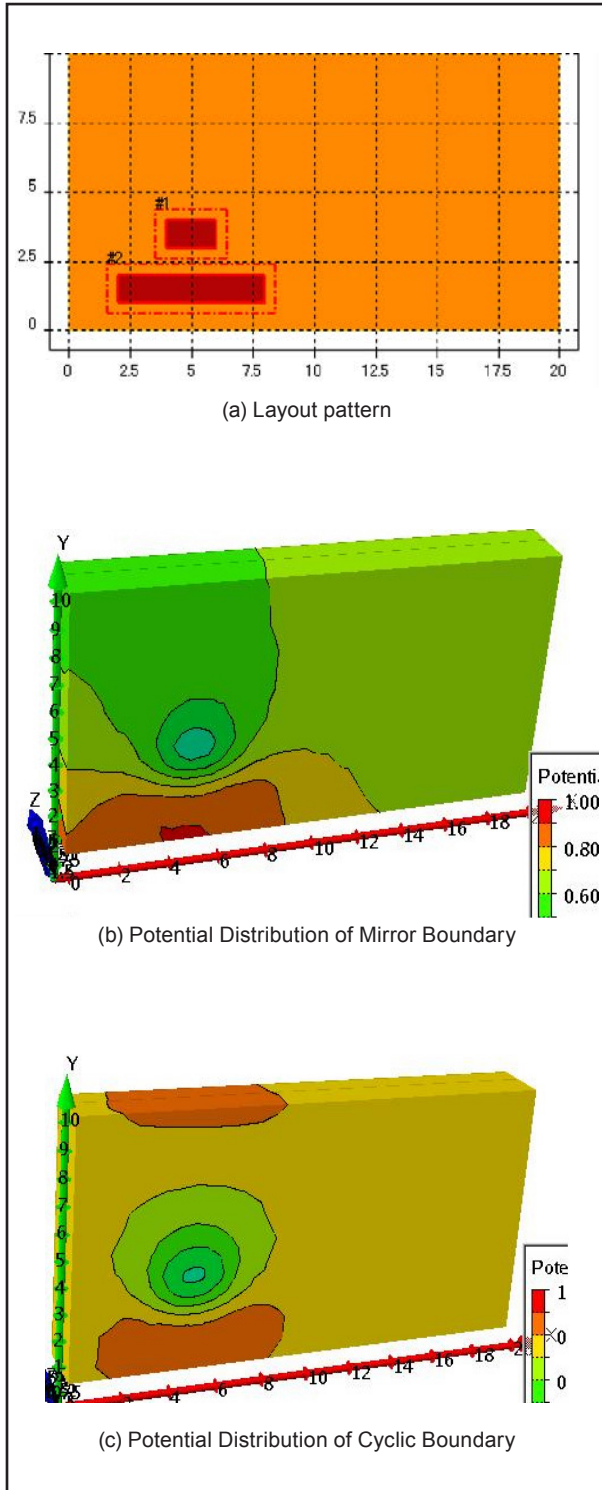


그림 2. 경계 조건에 따른 레이아웃 패턴 및 포텐셜 분포
 (a) 레이아웃 패턴 (b) 거울 경계의 포텐셜 분포 (c) 순환 경계

델타 유형 픽셀의 정확한 기생 캐패시턴스를 얻기 위해, Clever는 대칭 메쉬 및 주기 경계 조건을 만듭니다. 델타 유형에서는 3가지 유형의 픽셀에 대한 기생 캐패시턴스의 예측을 가장 어렵게 합니다.

그림 2는 순환 및 거울 경계 조건에 대한 경계 조건에 대한 포텐셜 분포 의존성을 나타냅니다. 델타 유형 픽셀은 주기 경계 조건을 선택해야 합니다.

캐패시턴스 및 델타 픽셀

이러한 조건에서, 델타 유형 픽셀 패턴은 3색 신호선을 가지고 있으며, 단위 패턴 시뮬레이션을 위해 11개의 패널을 선택했습니다. RGB 신호 라인과 ITO 패턴을 비교하기 위해, 모든 패턴에서 캐패시턴스를 선택합니다.

정확한 기생 캐패시턴스는 그림 3에 있습니다.

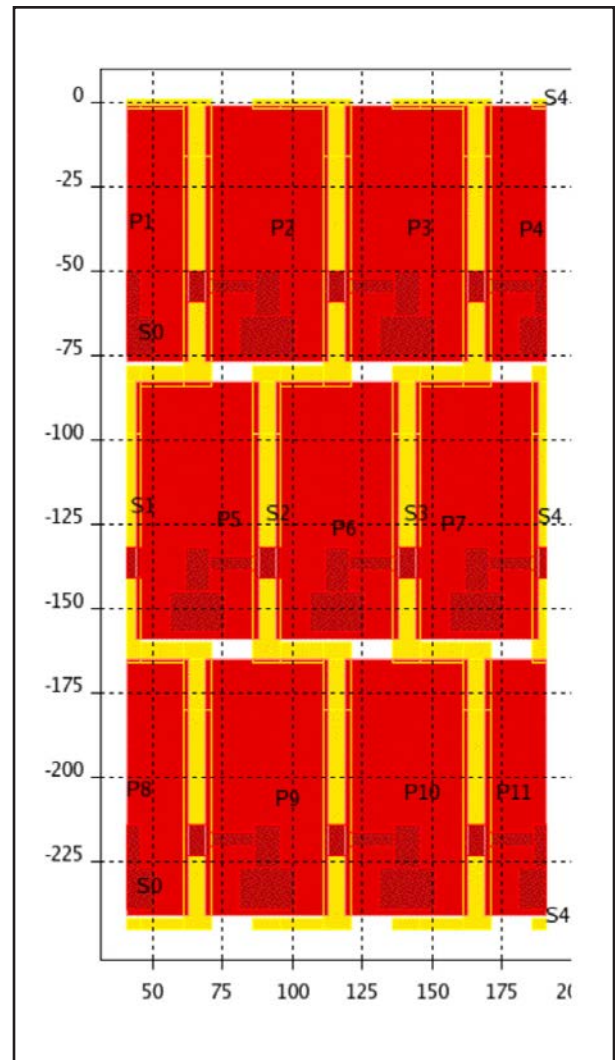


그림 3a. 델타 유형 픽셀 레이아웃 패턴

| | |
|--------|---------------|
| P2-P3 | 8.8183417e-16 |
| P5-P6 | 8.7936163e-16 |
| P6-P7 | 8.7802546e-16 |
| P9-P10 | 8.8225600e-16 |
| P2-P5 | 2.7449851e-16 |
| P5-P9 | 2.7371048e-16 |
| P3-P6 | 2.7329723e-16 |
| P6-P10 | 2.7419368e-16 |
| S1-P2 | 1.1852842e-14 |
| S1-P9 | 1.1800253e-14 |
| S2-P3 | 1.1885243e-14 |
| S2-P5 | 1.1825975e-14 |
| S2-P10 | 1.1853127e-14 |
| S3-P6 | 1.1826391e-14 |

그림 3b 캐패시턴스 그룹

여기서 S1, S2, S3은 RGB 신호 라인이고 P2~P10은 RGB 색상 패널입니다. 패널 P2와 P3, P5와 P6, P9와 P10은 캐패시턴스가 동일해야 합니다. 그리고 P2와 P5, P5와 P9는 캐패시턴스가 동일해야 합니다. 마지막으로 각 RGB 신호 라인과 패널은 캐패시턴스가 동일해야 합니다.

그림 3에서 이러한 3개 그룹은 캐패시턴스가 동일하며, 각 그룹과 비교한 캐패시턴스 값의 분포는 0.6%~1.2% 보다 낮습니다. 이는 추출 시뮬레이션 중에 메쉬 생성의 정확성과 대칭 메쉬의 생성을 보장합니다.

결론

Clever의 대칭 메쉬로 정확한 3D Field Solver를 델타 유형 픽셀 패널 설계의 TFT-LCD에 적용하여, RGB 신호 라인과 패널 사이의 캐패시턴스를 예측할 수 있습니다.

증착 두께 또는 식각 깊이와 같은 공정 변동은 Clever의 공정 모델과 레이아웃을 연결하여 쉽게 시뮬레이션할 수 있습니다. 이처럼 Clever는 우수한 FPD 설계 구성을 제공할 수 있습니다.

Appendix

[1] Application Note 2007-005, Silvaco