

Clever를 활용하여 IPS 모드 TFT-LCD의 캐패시턴스 커플링 예측

소개

TFT-LCD 수요가 증가함에 따라 디스플레이 크기와 해상도 개선에 대한 요청이 있습니다. 데이터 버스 라인과 디스플레이 전극 사이의 전기적 결합으로 인해 시야각이 좁아지고 화질이 저하되면 심각한 문제가 발생하는데, 이를 “혼선”이라 합니다. IPS 모드는 매우 넓은 시야각을 실현하기 위한 훌륭한 기술로 알려져 있습니다. 그러나 IPS-모드 TFT-LCD는 픽셀 크기가 140dpi 이상일 때 TN 모드 TFT-LCD에 비해 조리개 비율이 낮다는 단점이 있습니다 (1).

IPS의 전극 구조가 올바르게 설계되지 않으면 조리개 비율이 작아지고 혼선이 발생합니다. 구동 전극과 데이터 버스 라인 사이의 기생 캐패시턴스 커플링으로 인한 혼선이 영상 저하를 초래할 수 있다는 것은 잘 알려져 있습니다. 데이터 버스 라인과 IPS 구조의 공통 전극 사이에서 SiNx처럼 두꺼운 유전체 필름에 의해 이를 줄일 수 있습니다.

동일한 두께를 갖는 무기물 층의 제조원가로 인해, 낮은 유전율을 갖는 유기물 패시베이션 필름이 혼선 저하 효과가 있다는 연구가 있습니다. IPS 모드 TFT-LCD의 혼선을 줄이기 위한 가장 큰 노력은 다양한 데이터 라인 전압으로부터 픽셀 전극과 디스플레이 영역을 차폐하도록 전극 구성을 최적화하는 것입니다.

따라서 IPS 모드는 LC 자체보다 공정 변동에 더 민감합니다. 어레이 공정, 전극 폭, 높이 및 표면 토폴로지의 변화를 정확하게 고려해야 합니다. 결과적으로, 유기층 또는 무기 절연층의 최적 두께는 비용 및 성능 최적화를 고려하는데 매우 중요합니다.

본 문서는 Clever가 TFT-LCD 픽셀 구조에 대한 측정값과 IPS 모드 TFT-LCD의 혼선의 연구 결과가 상당히 일치함을 나타냅니다.

Clever를 평면 디스플레이에 활용

Clever는 DIP 서브미크론에서도 기생을 추출할 수 있습니다. Clever는 액티브 픽셀 영역의 메쉬 품질인 총횡비를 고려합니다. 각도와 언더컷이 있는 게이트 메탈 패턴도 시뮬레이션할 수 있습니다. Clever 3D 프로세스 시뮬레이션을 활용하여, 메탈 및 필름 토폴로지의 모양을 정확하게 시뮬레이션할 수 있으며, 이는 정확한 IPS TFT-LCD 기생 캐패시턴스 및 혼선을 예측하는 데 필수적입니다. 표 1은 다양한 공통 픽셀 전극 구조의 측정값과 상당히 일치함을 나타냅니다. 비교를 위해, 그림 1에서 기존의 IPS 모드 전극 구성을 나타냈습니다. (참조 5)

	meas(total)/(fF)	Clever(Clc/Cdc/Clc+Cdc)		
Ref	99.6	51.0	53.4	104.4
1	93.46	41.2	52.6	93.8
2	91.25	36.5	54.3	90.8

표 1. 공통 픽셀 전극 간격 (정확도=5%)이 다른 공통 픽셀 및 공통 데이터 캐패시턴스
*액정 유전율 = 12.1
Ref/1/2: 픽셀-공통 공간의 증가수

Clever를 활용한 IPS 모드 TFT-LCD의 커플링 캐패시턴스 계산

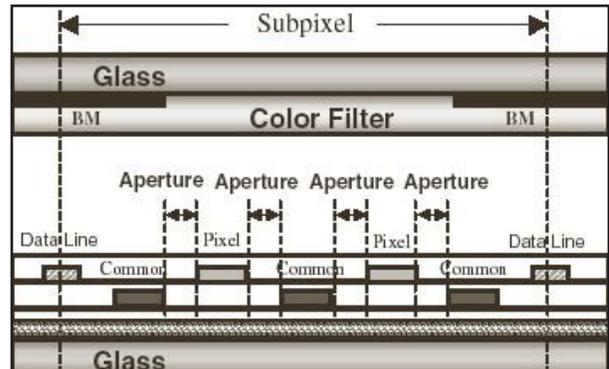


그림 1. 기존 IPS 모드 TFT-LCD 수직 구조 (5)

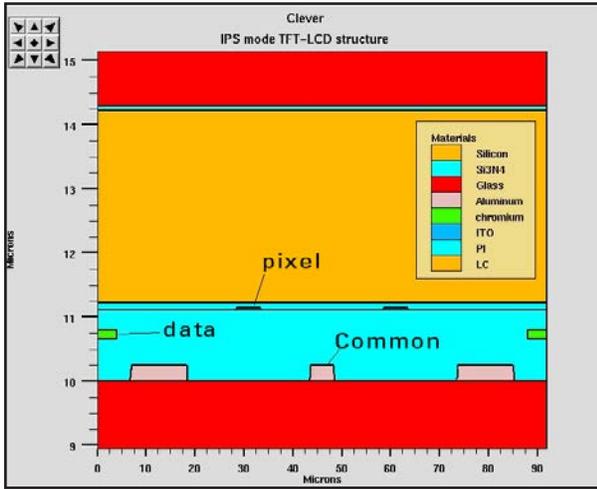


그림 2. Clever 구조. 공통 전극의 테이퍼 형태

캐패시턴스 추출에 필요한 데이터를 준비하기 위해, Clever를 사용한 시뮬레이션 IPS 모드 전극 구성을 그림 2에 나타내었습니다. 여기서 각 전극은 고급 식각/증착 공정을 사용하여 시뮬레이션됩니다.

논문(1),(6)에 따라, 픽셀 전극 ΔV_p 의 결합 전압은 다음과 같이 정의됩니다.

$$\Delta V_p = \frac{C_{pd1} \Delta V_{d1} + C_{pd2} \Delta V_{d2}}{C_{LC} + C_{pd1} + C_{pd2} + C_{pg1} + C_{pg2} + C_{po} + C_{GS} + C_{st}}$$

TFT-TN에 비해, 모든 전극이 기판의 같은 쪽에 배열되어 있기 때문에 방정식 (1)의 분모는 작습니다. 따라서 IPS 모드 TFT-LCD에서 ΔV_p 를 줄이려면, C_{pd1} , C_{pd2} 가 TN 모드 TFT-LCD에서의 값보다 작아야 합니다.

캐패시턴스 커플링 비율 CCR은 혼선의 정도를 나타내기 좋은 근사값입니다.

$$CCR = \frac{C_{pd1} + C_{pd2}}{C_{LC}(V) + C_{pd1} + C_{pd2} + C_{pg1} + C_{pg2} + C_{po} + C_{GS} + C_{st}}$$

그림 3은 (1), (2) 방정식에서 설명한 전극 구성과 등가 회로를 나타냅니다.

C_{lc} - 액정 캐패시턴스

C_{pd1}/C_{pd2} - 인접 데이터 라인과 데이터 라인부터 픽셀 전극까지의 커플링 캐패시턴스

C_{pg1}/C_{pg2} - 인접 게이트 라인과 게이트 라인부터 픽셀 전극까지의 커플링 캐패시턴스

C_{po} - 어레이 기판의 픽셀에서 공통 전극까지의 커플링 캐패시턴스

C_{gs} - TFT gate-to-source 기생 중첩 캐패시턴스

C_{st} - 저장 캐패시턴스

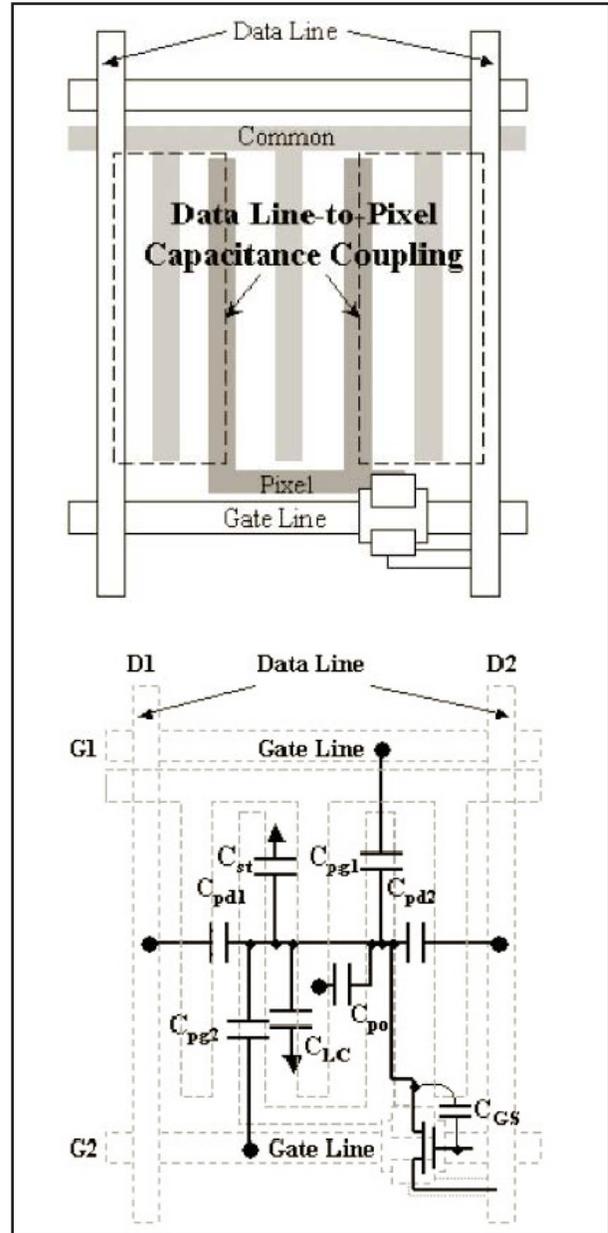


그림 3. 픽셀의 등가 회로

전압 의존적인 C_{lc} 에 관련하여, 일정한 필드가 적용될 때 LC 물질의 상유전율을 고려할 수 있습니다.

비교를 위해, 그림 4는 시뮬레이션 데이터 픽셀과 산화물 및 무기물 층(4)이 있는 두 가지 다른 종류의 픽셀 공통 전극 구성에서 추출한 데이터 공통 전극 캐패시턴스 커플링을 나타냅니다.

Clever(4)를 사용하여 IPS 구조의 데이터 픽셀 캐패시턴스와 데이터 공통 캐패시턴스를 시뮬레이션하였습니다.

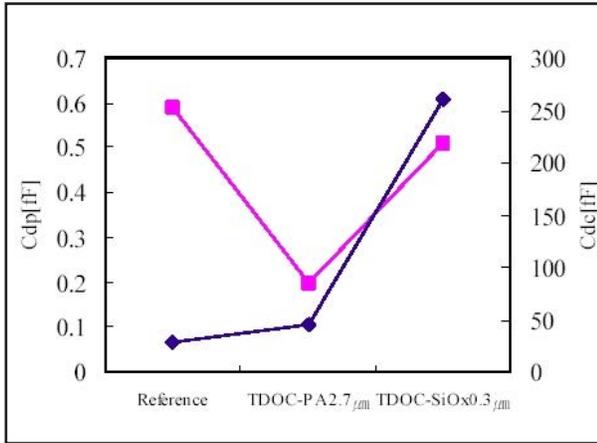


그림 4. Clever를 활용하여 전극 구성(4)이 다른 IPS 구조의 시뮬레이션 결합 캐패시턴스

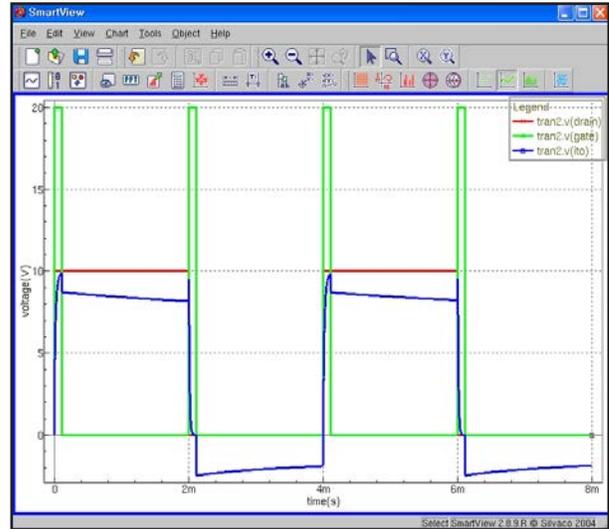


그림 6. 픽셀의 SmartSpice 시뮬레이션

RC 지연 시뮬레이션

추출된 기생 넷리스트에서, SmartSpice를 사용하여 데이터 라인의 RC 지연 효과를 시뮬레이션할 수 있습니다. 이 실험에서는 하나의 픽셀만 시뮬레이션하였습니다.

```

M1 drain gate ito nTFT w=49u l=38.5714u As=1274p
Ad=2439p Ps=150u Pd=610u Nrs=0.142857 Nrd=0 geo=0
C1 substrate gate 7.0162449e-14
C2 substrate drain 1.815544e-14
C3 substrate data 2.0479665e-14
C4 substrate ito 1.4275399e-13
C5 gate drain 1.169502e-13
C6 gate data 4.7088442e-14
C7 gate ito 4.6344247e-13
C8 drain ito 4.1971866e-15
C9 data ito 7.8982418e-15
lib "tft.lib" ntft
vg gate 0 dc 20 pulse 0 20 0 1u 1u 108u 2m
vd drain 0 dc 10 pulse 0 10 0 1u 1u 2m 4m
vcom com 0 dc 5
mntft drain gate ito ntft w=20u l=5u
cst ito com 1.06p
re ito co 1.28k
c0 co lc 317f
rlc lc com 10g
clc lc com 125f
cgs gate ito 20f
cgd gate drain 20f
.tran 0.1u 8m
.save v(drain) v(gate) v(ito)
.end
    
```

그림 5. 픽셀 시뮬레이션을 위한 SPICE 입력 파일의 예

결론

Clever의 정확한 3D 필드 솔버를 TFT-LCD 설계에 적용하여 다양한 커플링 캐패시턴스 및 혼선의 원인을 예측할 수 있습니다.

패시베이션 레이어 및 전극 구성과 같은 프로세스 변동은 Clever로 쉽게 시뮬레이션할 수 있습니다. 통합 토폴로우 관점에서, Clever-SmartSpice는 향후 전체 패널 설계를 위해 우수한 프레임워크를 제공합니다.

Acknowledgement

We thank Mr. Lee, Dong-hoon, senior engineer of LG-Philips LCD R&D Center at Ahn-Yang, South Korea, for providing and approving publishing table of measured data and elements of his of 2005 IDW's poster.

Appendix

- [1] J.S. Lin, Jpn J.App. Phys. Vol43, No.4A, 2004, p1476-1480
- [2] Y. Z. Muju Li, IEEE Trans. ED vol.48, No.2, Feb. 2001,p218
- [3] Webster E. Howard, IEEE Trans. ED, vol.36,No.9, Sept. 1989, p1938
- [4] H.S. Chang, LCD R&D Center, LG-Philips LCD, Korea," Novel pixel structure of IPS panel for High Aperture Ratio using inorganic layer." ,IDW 2005
- [5] J.S Lin, Jpn. J. Appl. Phys. Vol44, no.8,2005,pp6178