

# Hipex RC: 기생 캐패시턴스 추출의 정확도 향상

## 소개

Hipex RC는 규칙 기반 기생 추출 툴로서 블록뿐만 아니라 전체 칩의 설계에 활용합니다. 저항 및 캐패시턴스 추출의 정확도는 주로 사용된 추출 규칙 파일의 품질에 의존합니다. 따라서 정확도를 높이려면, 추출 규칙 파일을 보다 나은 방법으로 생성해야 합니다.

최근의 딥-서브마이크론 공정은 기생이 회로 동작에 큰 영향을 미치기 때문에, 레이아웃 설계에서 정확한 기생 추출이 매우 중요합니다.

본 애플리케이션 노트는 규칙 파일을 생성하는 데 있어서, 정확도 향상을 위한 몇 가지 아이디어를 적용합니다.

Hipex에서 새로운 규칙 파일을 만들고, 정확도 개선을 확인하는 과정을 소개합니다.

## 1. Hipex 캐패시턴스 추출 규칙 파일

실바코 PDK에서 제공하는 Hipex 캐패시턴스 추출 규칙 파일은 팹에서 제공되는 규칙 관련 기존 정보를 활용하여 생성하는 경우가 많습니다. 다른 경우, Exact 툴을 사용하여 기생 추출 규칙 파일을 만듭니다. 공정 정보를 사용할 수 있으면, Exact는 어떠한 공정 기술에 대해서도 규칙 파일을 만들 수 있습니다.

Exact는 다음 입력 데이터를 사용합니다:

- 레이아웃 모델
- 와이어 폭
- 와이어 간격 변화
- 단면 정보 (공정 단계, 레이어 두께 등)
- 각 물질의 유전율

Exact는 다음 단계를 통해 기생 추출 규칙 파일을 생성합니다.

1. 와이어 간격을 레이아웃 모델에 적용하여, 기본 레이아웃을 생성합니다.

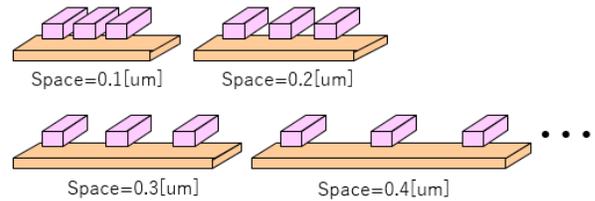


그림 1. 기본 레이아웃 생성

2. 생성된 기본 레이아웃에 대해 2D/3D 필드 솔버 기반 기생 추출 툴, Clever를 실행하여 넷 사이의 캐패시턴스를 매우 정확하게 추출합니다.

Space [um]	Capacitance[aF]
0.1	160.0
0.2	81.0
0.3	47.0
0.4	32.0
0.5	23.0

3. 추출된 캐패시턴스 값 (일명 "피팅 곡선")에서 와이어 간격의 측면에서 캐패시턴스 함수를 생성합니다.

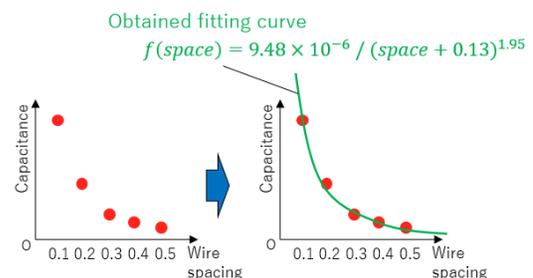


그림 2. 피팅 곡선

4. 획득한 피팅 곡선을 Hipex 캐패시턴스 추출 규칙 파일로 출력합니다.

일반적으로, 와이어 사이에 다음과 같은 캐패시턴스가 있습니다. Hipex 캐패시턴스 추출 규칙 파일에서 모든 항목을 정의할 수 있습니다.

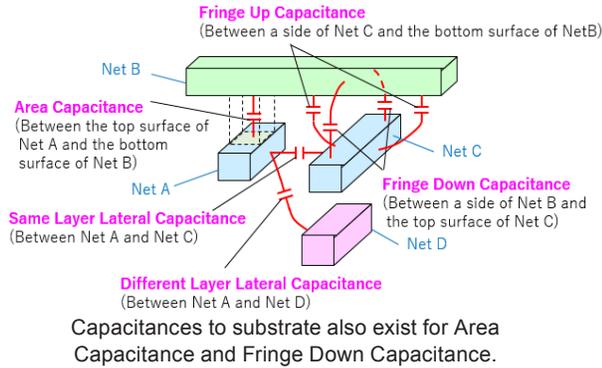


그림 3. 캐패시턴스 종류

## 2. 기존의 기생 추출 규칙 파일과 문제점

Exact에서 만든 기존의 기생 추출 규칙 파일은 다음과 같은 규칙을 포함합니다.

- 면(Area) 캐패시턴스
- 동일 레이어의 측면(Lateral) 캐패시턴스
- 가장자리(Fringe) 상향 캐패시턴스
- 가장자리(Fringe) 하향 캐패시턴스

이 규칙 집합은 그림 3에서 나타난 캐패시턴스 (다른 레이어의 측면 캐패시턴스 제외)를 모두 포함하고 있습니다. 그러나 상부 또는 하부 레이어에 다른 와이어가 있는 경우, 넷 사이의 캐패시턴스는 보다 작아야 합니다. 또한 측면 캐패시턴스와 가장자리 캐패시턴스는 넷의 와이어 폭에 따라 다릅니다.

## 3. 정확도 향상을 위한 방법

기존 캐패시턴스 추출 규칙 파일의 문제점을 해결하기 위해, 다음을 적용합니다.

### • 상부/하부 레이어의 와이어에 대한 의존성 추가

다음들 고려하여 Exact 레이아웃 모델을 사용

- 와이어가 상부 또는 하부 레이어에 존재하지 않음
- 와이어가 상부 레이어에만 존재
- 와이어가 하부 레이어에만 존재
- 와이어가 상부 및 하부 레이어에 모두 존재

예를 들어, 동일 레이어의 측면 캐패시턴스 추출 규칙에 다음과 같은 단면을 갖는 레이아웃 모델을 사용합니다.

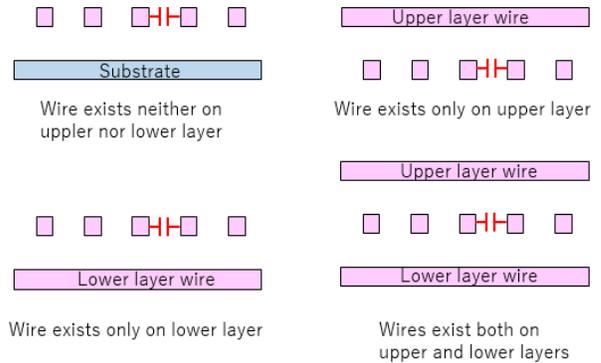


그림 4. 동일 레이어의 측면 캐패시턴스 규칙을 위한 레이아웃 모델

이렇게 하여, 다양한 사례로 구분된 명령어가 있는 규칙을 만듭니다. 이러한 명령어는 기존 규칙 파일에서는 하나의 명령어로만 설명합니다.

### • 다른 레이어의 측면 캐패시턴스 추출 규칙 추가

다음과 같은 단면을 갖는 Exact 레이아웃 모델을 추가합니다.

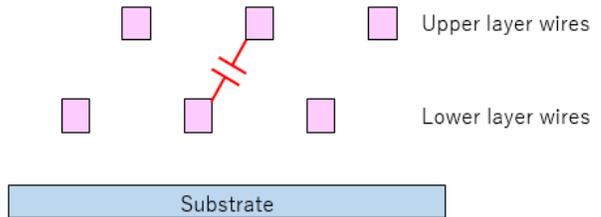


그림 5. 다른 레이어의 측면 캐패시턴스 규칙을 만들기 위한 레이아웃 모델

위의 경우 외에, 다음과 같은 레이아웃 모델을 추가하여 상부/하부 레이어의 와이어에 따라 규칙이 바뀝니다:

- 와이어가 상부 레이어에만 존재
- 와이어가 하부 레이어에만 존재
- 와이어가 상부 및 하부 레이어에 모두 존재

## • 와이어 폭에 대한 의존성 추가

측면 캐패시턴스는 와이어의 측면뿐만 아니라 상단 및 하단 표면에서도 계산되므로, 추출 규칙은 넷의 와이어 폭에 따라 달라집니다.

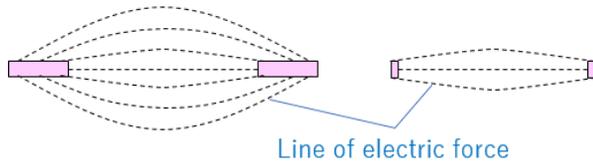


그림 6. 측면 캐패시턴스의 와이어 폭에 대한 의존성

또한, 가장자리 캐패시턴스는 면 캐패시턴스와 상충 관계가 있습니다. 캐패시턴스는 와이어 폭에 따라 다음과 같이 달라집니다.

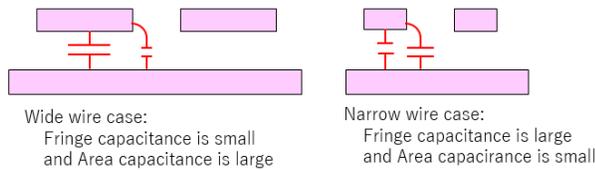


그림 7. 가장자리 캐패시턴스와 면적 캐패시턴스의 상충 관계

와이어 폭에 의한 규칙 변경을 나타내기 위해 와이어 폭의 목록을 가져오도록 Exact에 대한 스크립트를 수정하여, 해당 너비의 와이어로 기본 레이아웃을 만듭니다. Hipex 툴 자체는 가장자리 캐패시턴스 추출 명령어에서 각 와이어의 폭을 인식하도록 개선되었습니다.

## • 컨택 캐패시턴스 추출 규칙을 추가

MOS 트랜지스터의 게이트에서 확산 컨택과 폴리 간 거리가 상대적으로 짧기 때문에, 그 사이의 캐패시턴스는 상당할 것으로 예측됩니다. 그러나 이를 나타내기 위한 확립된 방법이 없으므로, 기존 Hipex의 추출 규칙은 컨택에 관한 규칙을 포함하지 않습니다. 폴리과 확산 컨택의 양면이 동일한 높이 범위에서 마주하는 경우, 측면 사이의 캐패시턴스가 우세할 것입니다. 따라서 폴리에 대한 동일 레이어의 측면 캐패시턴스 규칙이 이에 적합합니다. 폴리에 대한 동일 레이어의 측면 캐패시턴스 규칙을 복사하여, 폴리과 컨택 간에 다른 레이어의 측면 캐패시턴스 규칙으로 활용합니다.

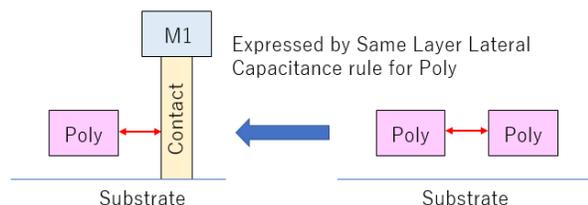


그림 8. 컨택 규칙 정의

## 4. 정확도 향상을 측정

Clever가 샘플 레이아웃에서 추출한 모든 캐패시턴스를 Hipex의 캐패시턴스와 비교합니다.

### 표본 공정

Process node : 0.18um

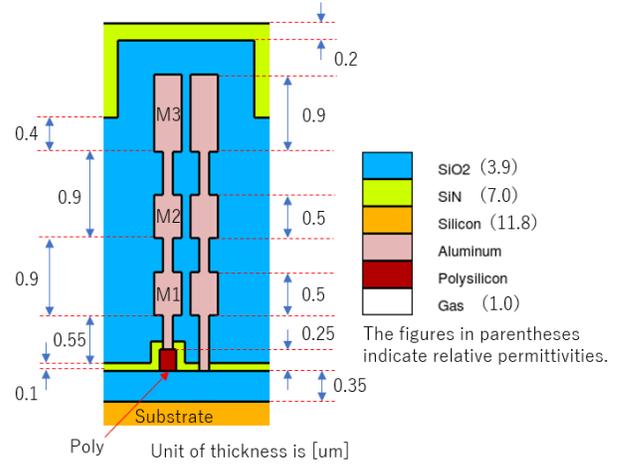


그림 9. 표본 공정의 단면

### 표본 레이아웃

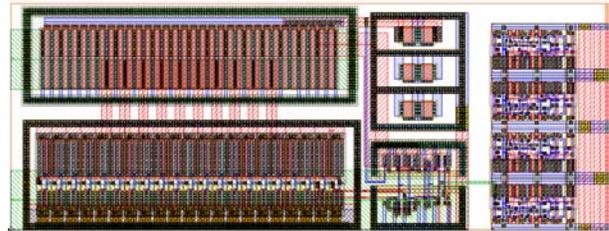


그림 10. 표본 레이아웃

Specification	Values
Circuit	VCO(Voltage-Controlled Oscillator)
Size	Width 100[um], Height 38[um]
Number of Transistors	256
Number of Nets	102

표 1. 표본 레이아웃의 사양

### Clever 실행 방법

P-기판, N-웰 및 확산 영역은 전원/접지에 연결되어 있으므로 도체로 취급합니다. 그 사이의 전기적 단락을 방지하기 위해, 작은 갭을 만들어 유전율이 매우 낮은 물질로 채웁니다. 유전율이 매우 낮기 때문에 (상대 유전율 =  $1 \times 10^{-20}$ ), 이러한 물질로 덮인 도체 부분과 관련된 캐패시턴스는 거의 0[F]입니다.

레이아웃에서 필요한 부분만 캐패시턴스를 추출합니다. 게이트의 폴리과 확산 영역 사이의 캐패시턴스는 일반적으로 각 소자의 SPICE 시뮬레이션 모델에 포함됩니다. 따라서 캐패시턴스를 이중으로 계산하지 않도록, 다음 단계에 따라 Clever를 실행합니다.

단계 1. Clever를 사용하여 Type\_A, Type\_B 및 Type\_C를 실행합니다.

단계 2. 다음 계산으로 각 넷의 쌍에 대해 Clever에서 기존 캐패시턴스를 구합니다.

$$Cap_{ref} = Cap_A - Cap_B + Cap_C$$

Cap\_ref: Clever에 의한 기존 캐패시턴스

Cap\_A: Type\_A를 실행하여 추출한 캐패시턴스

Cap\_B: Type\_B를 실행하여 추출한 캐패시턴스

Cap\_C: Type\_C를 실행하여 추출한 캐패시턴스

Part of layout to be covered by low permittivity material / Things to be done	Type_A	Type_B	Type_C
Bottom surface of Poly on a gate	Covered	Covered	Covered
Side surfaces of Poly on a gate	-	-	-
Surface of Poly other than above	-	Covered	Covered
Top surface of P-substrate	-	Covered	Covered
Top surface of N-well	-	Covered	Covered
Top surface of Diffusion area	-	-	Covered
Top surface of channel area	-	-	Covered
Side surface of contact	-	Covered	Covered
Bottom surface of Metal1	-	Covered	Covered
Replace dielectrics of Metal1 or above with low permittivity one	No	Yes	Yes

“-” : Not-covered

표 2. 유전율이 작은 물질로 덮인 레이아웃의 일부

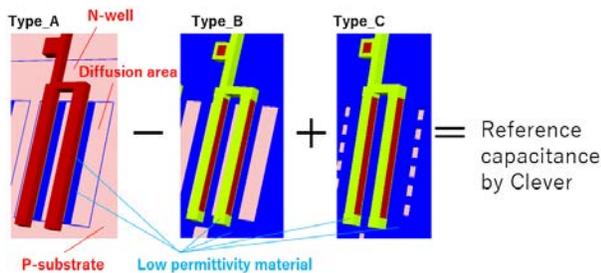


그림 11. 기존 캐패시턴스 계산

Type\_B에서 대부분의 도체 표면이 유전율이 작은 물질로 덮여 있기 때문에, 두 가지 유형의 캐패시턴스만 추출됩니다.

- i) 게이트에서 폴리과 확산 사이의 캐패시턴스
- ii) 게이트에서 폴리 사이의 캐패시턴스

Type\_A에서 Type\_B를 빼면 ii)가 음수가 되지만, type\_C에서 ii)만 추출되어, 더하면 i)만 제거됩니다. 유전율이 작은 물질이 얇을 경우, 도체 일부를 덮어도 다른 부분의 전기장에 영향을 주지 않으므로 계산은 유효합니다.

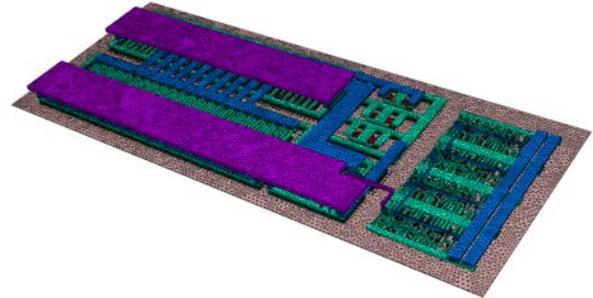


그림 12. Clever로 만든 3D 구조

## Hipex 실행 방법

캐패시턴스 추출 규칙 파일을 모두 적용하여 Hipex C를 실행합니다 (기존 추출 규칙 파일과 섹션 3에서 설명한 측정값을 모두 포함하는 파일).

## 5. 결과

결과는 다음과 같습니다.

Tool names (Rule file used)	Run time	Maximum memory used
Clever	5h 18m	119.7G
Hipex (Conventional rule file)	0h 0m 8s	81M
Hipex (New rule file)	0h 0m 19s	106M

Used 10 cores for parallel processing at Clever.  
Used single core for Hipex.

표 3. 실행 시간 및 최대 사용 메모리

### <Execution environment>

CPU : Intel Xeon X5690 @ 3.47GHz (12 cores)

Memory : 141.9GB

OS : Red Hat Enterprise Linux Workstation 6.5

규칙에 기초하면, Hipex는 Clever보다 메모리를 적게 사용하고 실행 시간도 짧습니다.

새로운 규칙 파일은 기존 규칙 파일보다 다음 이유로 실행에 시간이 걸립니다:

- 상부/하부 레이어에 대한 추가 규칙
- 와이어 너비를 확인하는 가장자리 캐패시턴스 추출 명령어 (Hipex의 성능 향상으로 이용 가능)
- 컨택 규칙

## Statistics

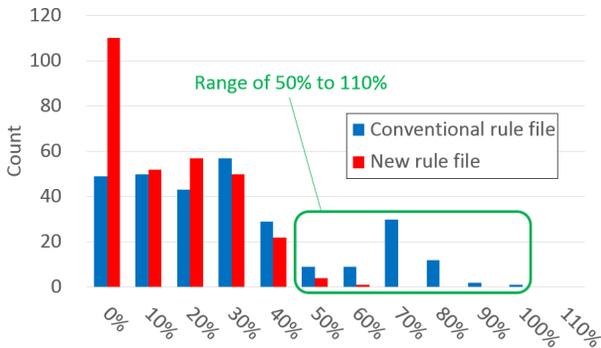


그림 13. 추출된 캐패시턴스의 상대 오차 (절대 값) 히스토그램

- 상대 오차의 정의

$$Rel_e (\%) = (Cap_h - Cap_{ref}) / Cap_{ref} \times 100$$

여기서,

$Rel_e$ : 상대 오차

$Cap_h$ : Hipex에서 추출한 캐패시턴스

$Cap_{ref}$ : Clever의 기준 캐패시턴스

- 120% 미만

상대 오차 (절대 값)가 120% 이상인 캐패시턴스의 수:

기존 규칙 파일: 5

신규 규칙 파일: 0

- Clever의 기준 캐패시턴스가  $1 \times 10^{-17}$ [F] 이상인 캐패시턴스만 계산

Comparison items	Hipex (Conventional rule file)	Hipex (New rule file)
Number of Capacitances extracted (It is 367 at Clever.)	311	320
Maximum of relative errors (absolute values) *1	394.9%	63.3%
Average of relative errors (absolute values) *1	37.7%	19.1%
Standard deviation of relative errors (absolute values) *1	37.4%	14.2%

\*1: Counted only the capacitances whose reference capacitance by Clever is  $1 \times 10^{-17}$  or higher

표 4. 통계

50%~110% 범위에서 나타나는 캐패시턴스의 수는 Hipex(신규 규칙 파일)에서 확실히 감소합니다. 상대 오차의 평균 및 표준 편차도 크게 개선됩니다.

## Belledonne에 의한 산포도

Belledonne에서 기준 넷리스트와 기생값이 다른 넷리스트의 차이점을 플로팅할 수 있습니다.

Clever에서 추출한 캐패시턴스가 Cth 미만일 경우, 절대 오차 (빨색의 절대값)가  $1 \times 10^{-17}$  이하 (값은 수정 가능)라면 Belledonne은 다른 넷리스트의 캐패시턴스가 양호하다고 간주합니다.

Clever에서 추출한 캐패시턴스가 Cth 이상일 경우, 상대 오차 (절대 값)가 30% 이하 (값은 수정 가능) 라면 Belledonne은 캐패시턴스가 양호하다고 간주합니다. 여기서 Cth는  $1 \times 10^{-17} / 0.3$ 으로 정의됩니다.

Belledonne에서 양호하다고 간주하는 캐패시턴스는 파란 점으로 표시됩니다. 양호하지 않다고 간주되는 점은 빨간 점으로 표시됩니다. 한 넷리스트에만 캐패시턴스가 존재하는 경우, 다른 넷리스트에서  $1 \times 10^{-19}$ [F]로 표시됩니다.

새로운 Hipex 규칙을 사용할 때, 캐패시턴스의 차이가 훨씬 더 작은 것을 알 수 있습니다.

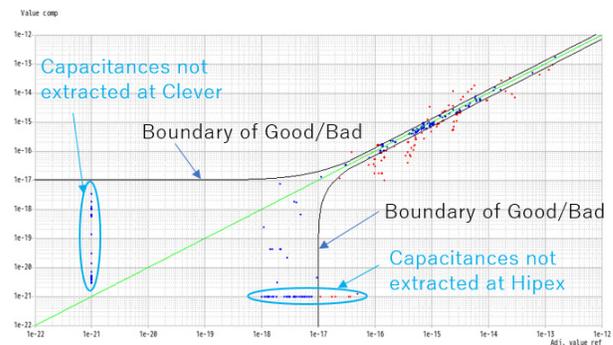


그림 14. Clever (수평 축) 대 Hipex 기존 규칙 (수직 축)

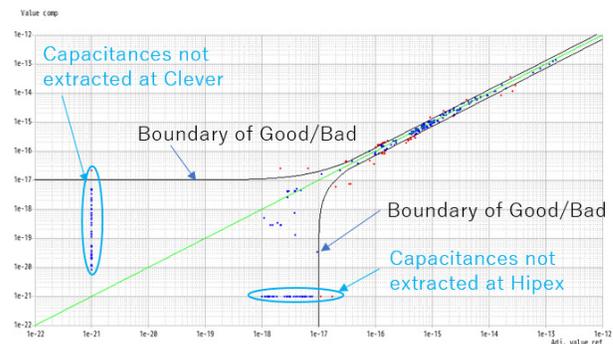


그림 15. Clever (수평 축) 대 Hipex 신규 규칙 (수직 축)

## 6. 결론

캐패시턴스 추출 규칙에 정확도 향상을 위한 측정값과 Hipex 자체의 개선을 더해서, Hipex의 추출 캐패시턴스는 3D 필드 솔버 기반 기생 추출 툴, Clever의 값에 보다 가까워졌습니다.

대규모 레이아웃에 3D 필드 솔버 툴을 사용하는 것은 메모리 사용과 시간 측면에서 비현실적이지만, Hipex는 합리적인 메모리 사용량과 실행 시간으로 정확하게 실행합니다.