

레이아웃의 DRC 완료 및 기생 영향을 교정

소개

IC 설계를 전달할 때, 시장 출시 기간과 1차 통과 성공이 매우 중요한 요소입니다. 레이아웃 검증 (DRC)과 기생 영향 예측은 모두 시간이 많이 걸리며, 이 두 요소에 직접적인 영향을 미칠 수 있습니다. 새로운 ICCAD 제품군은 적절한 기생 효과를 고려하여 레이아웃의 DRC 완료를 빠르게 제공할 수 있는 기능이 있습니다. 본 애플리케이션 노트에서는 이러한 기능과 용도에 대해 설명합니다.

레이아웃의 DRC 완료

단기간 내에 레이아웃의 DRC를 완료하기 위해, Expert 레이아웃 툴에 새로운 기능이 추가되었습니다. 이제 테크놀로지 파일 (*.tcn)은 지오메트리 편집 작업 중에 검사할 DRC 규칙 일부를 저장할 수 있습니다. 현재 구현된 규칙은 최소 너비, 최소 간격, 레이어 간 최소 간격, 최소 오버랩, 최소 경계 및 최소 노치입니다. 이러한 규칙은 테크놀로지 파일에 나열된 모든 레이어에 대해 설정할 수 있습니다.

이러한 규칙에 액세스하기 위해, Expert 레이아웃 툴에서 다음 하위 메뉴를 선택합니다. Setup>>Technology...>>Layer Setup... 그림 1은 레이어 설정을 나타냅니다.

관심 레이어 (이 경우 METAL1)를 선택한 후 창 하단에 있는 "Rules..." 버튼을 클릭합니다. 그림 2와 같이 다른 규칙에 대한 액세스를 허용하는 새로운 창이 열립니다. 다른 규칙 설정이 완료되면 확인을 클릭하여 설정을 적용합니다; 이러한 규칙을 적용하려면 확인을 눌러 레이어 설정 창을 닫습니다.

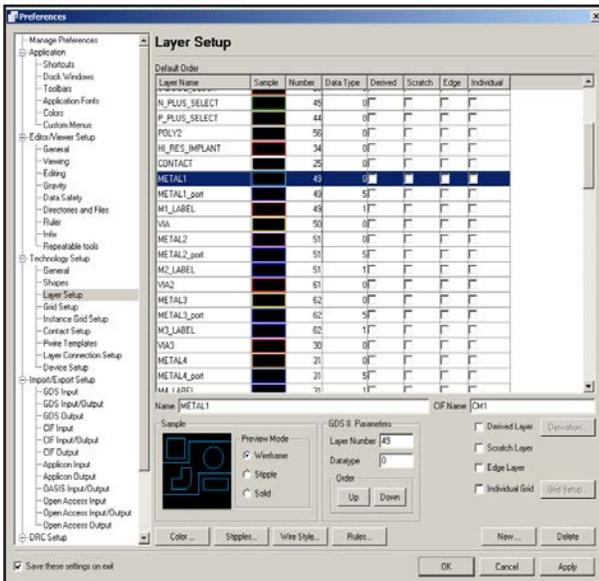


그림 1. 레이어 설정

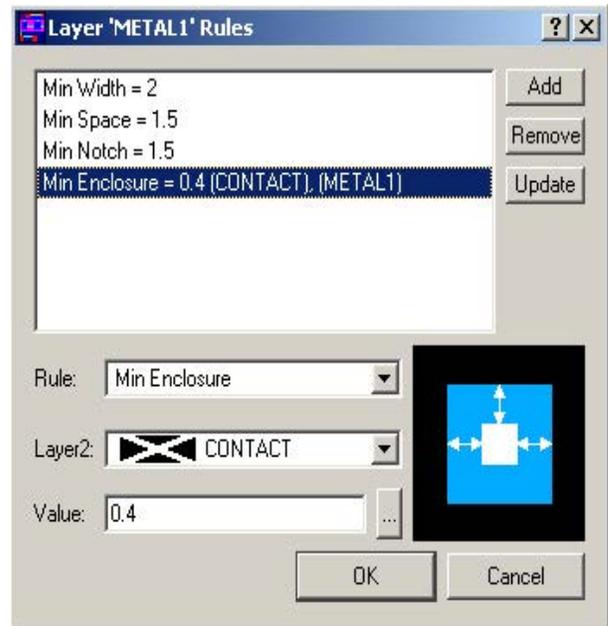


그림 2: Rules... METAL1에 대한 설정.

규칙 설정을 완료한 후, 지오메트리를 편집하거나 수정하는 동안 규칙을 위반하는 경우 작은 빨간색 화살표가 표시됩니다. 그림 3.a, 3.b는 최소 공간 (1.5um으로 설정) 및 최소 경계 (0.4um으로 설정) 규칙 위반을 보여줍니다.

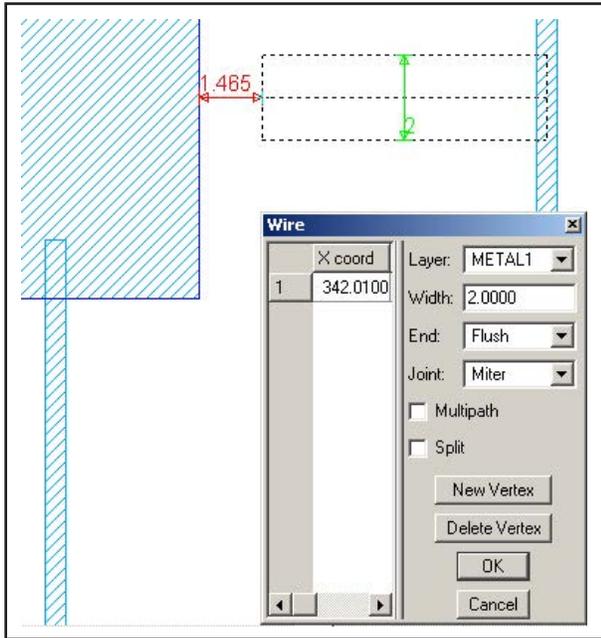


그림 3a: 최소 간격 위반

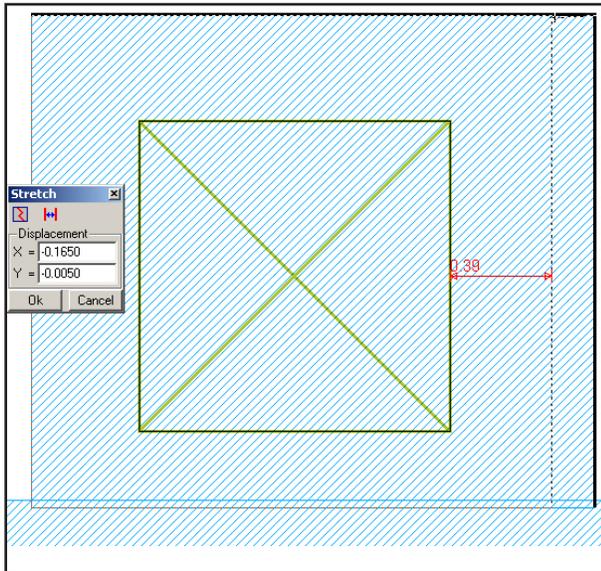


그림 3b: 최소 경계 위반

지오메트리 편집을 완료하면 빨간색 및 녹색 화살표가 사라지며, 사용자가 규칙 위반과 상관없이 현 배치를 유지하려 한 것으로 간주합니다. 또한 동일한 수준의 계층 구조에만 있거나 하위 수준 인스턴스에 있는 형상을 포함하여 다른 수준의 계층 구조를 고려하도록 규칙을 설정할 수 있습니다. Expert 하위 메뉴의 View >> Cell View >> Hierarchy Depth를 선택하여 가시성 수준을 지정하면, 규칙에서 점검하는 데이터의 양이 변경됩니다. 점검 중인 형상은 기본적으로 레이아웃 뷰에 보이는 형상입니다.

이러한 규칙 외에도, "RealTime DRC" 기능을 설정하여, 편집 작업 완료 시 다른 DRC 검사를 실행할 수 있습니다. "RealTime DRC" 기능에 대한 자세한 내용은 Expert 설계 매뉴얼을 참조하십시오.

기생 효과 디버깅

ICCAD 툴 세트에 추가된 두 번째 흥미로운 기능은 선택한 두 지점 사이의 기생 저항 또는 특정 넷의 기생 캐패시턴스를 측정하기 위해, 기생 추출 후 레이아웃을 노드 프로브하는 기능입니다. 여기서는 레이아웃의 기생 효과를 포함하여 넷리스트를 생성하는 단계를 알고 있다고 가정합니다. 다음 애플리케이션 노트에서 이러한 단계를 자세히 설명합니다: http://www.silvaco.com/content/appNotes/iccad/2-010_Para-sitic_back_annotation.pdf.

회로 설계자는 종종 설계의 주요한 경로/넷을 완벽하게 숙지하고 있습니다. 현재, 포스트 레이아웃 기생 백엔드 인스턴 넷리스트의 시뮬레이션은 물리적인 설계의 실리콘 동작을 예측하기 위한 방법입니다. 포스트 레이아웃 시뮬레이션 결과에 따라 레이아웃에 필요한 수정을 수행하여, 설계의 적절한 기능을 보장할 수 있습니다. 그러나 이전 플로우에서 수정할 기생 효과를 찾는 것은 어려울 수 있습니다. 새로운 버전의 Expert (4.5.15 이상)는 이 작업을 상당히 단순하게 처리할 수 있습니다.

넷의 캐패시턴스 및 저항을 측정하는 데 필요한 모든 정보를 얻으려면, RC 기생 추출 중에 DSPF 옵션을 선택합니다. Expert 하위 메뉴의 Verification >> Extraction >> Setup을 선택하고, Netlist 섹션에서 "Generate DSPF file" 옵션을 선택합니다. (그림 4 참조)

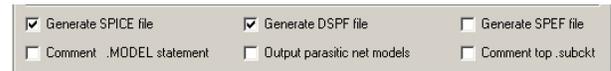


그림 4: LPE 설정, NetListing 섹션

기생 추출 넷리스트가 완료되면, 그림 5와 같이 Open Netlist 버튼을 선택하여 넷리스트를 확인할 수 있습니다. 포인트 대 포인트 기생 저항 및 넷 캐패시턴스를 측정하려면, Expert 하위 메뉴의 Verification >> Node Probing >> Pick Node 에서 Node Probing 툴을 사용하여 대상 노드를 표시합니다. 그림 6은 노드 프로빙 툴을 사용하여 표시된 노드를 나타냅니다. 여기서 접지에 대한 실 캐패시턴스의 총합은 0.181315 PF로 추정됩니다.

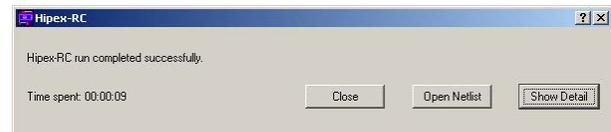


그림 5: Open Netlist 옵션

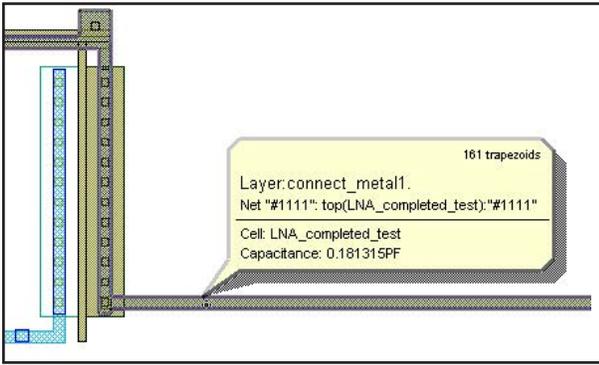


그림 6. 실 캐패시턴스.

표시된 넷의 포인트 대 포인트 기생 저항을 측정하려면, CTRL 키를 누른 상태에서 저항을 알고 싶은 두 지점을 노드 프로빙 툴로 클릭합니다. 두 번째 클릭을 하면, DSPF 데이터베이스를 읽어 사용자가 설정한 지점에 가장 가까운 하위 노드를 찾습니다. 툴에서 선택한 하위 노드는 두 개의 작은 십자 표시로 나타냅니다. 그 다음, 저항 네트워크의 델타-Y 변환을 사용하여 유효 저항을 계산합니다. 그림 7은 선택한 넷에 대해 1.8669 Ohm을 나타냅니다.

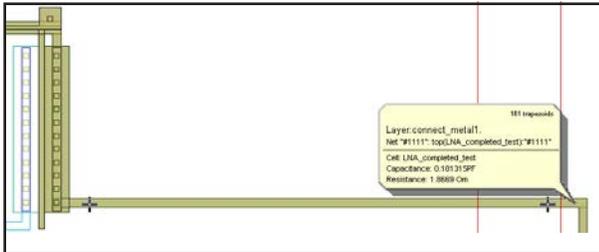


그림 7: 점 대 점 저항.

결론:

본 애플리케이션 노트에서는 DRC를 완료한 레이아웃의 전달과 기생 성분의 영향 예측을 용이하게 하기 위한 두 가지 새로운 기능에 대해 설명합니다. 여기서 설명하지 않은 많은 기능이 ICCAD 툴 셋트의 새로운 배포판에 추가되었습니다. 자세한 내용은 릴리스 노트를 참조하십시오.