

포스트 레이아웃 시뮬레이션을 위한 기생 백 애노테이션

소개

레이아웃 설계자는 물리적 레이아웃으로 생성되는 기생 효과를 최소화하기 위해 다양한 레이아웃 접근 방식을 사용합니다. 그러나 적절한 기능을 보장하고 최종 동작을 더 잘 표현하기 위해, 포스트 레이아웃 시뮬레이션이 종종 필요합니다. 본 애플리케이션 노트에서 포스트 레이아웃 시뮬레이션을 수행하기 위해 넷리스트에 기생 효과를 백 애노테이션하기 위한 절차를 소개합니다.

추출 및 LVS 단계

본 문서에서는 사용자가 레이아웃 추출 넷리스트와 스키매틱 넷리스트 사이의 무결점 LVS를 갖고 있다고 가정합니다.

그렇지 않다면, 실바코 웹 사이트의 "A Suggested Approach for Layout Versus Schematic (LVS) comparison using Guardian LVS" 애플리케이션 노트를 참조하여 주십시오: (https://silvaco.com/wp-content/uploads/content/appNotes/iccad/2-004_LVSComparison.pdf)

LVS 정리 단계가 완료되면, 백 애노테이션 프로세스에 필요한 두 개의 파일을 저장합니다. 첫 번째 파일은 LVS 실행에 사용되는 스키매틱 넷리스트, 두 번째 파일은 LVS 설정 기준으로 왼쪽 하단의 저장 버튼으로 Setup>>Project Setting> 의 Guardian LVS 툴에서 저장할 수 있습니다. 이 설정은 *.gpr 파일로 저장됩니다. 그림 1은 저장 옵션이 있는 프로젝트 설정 창을 나타냅니다.

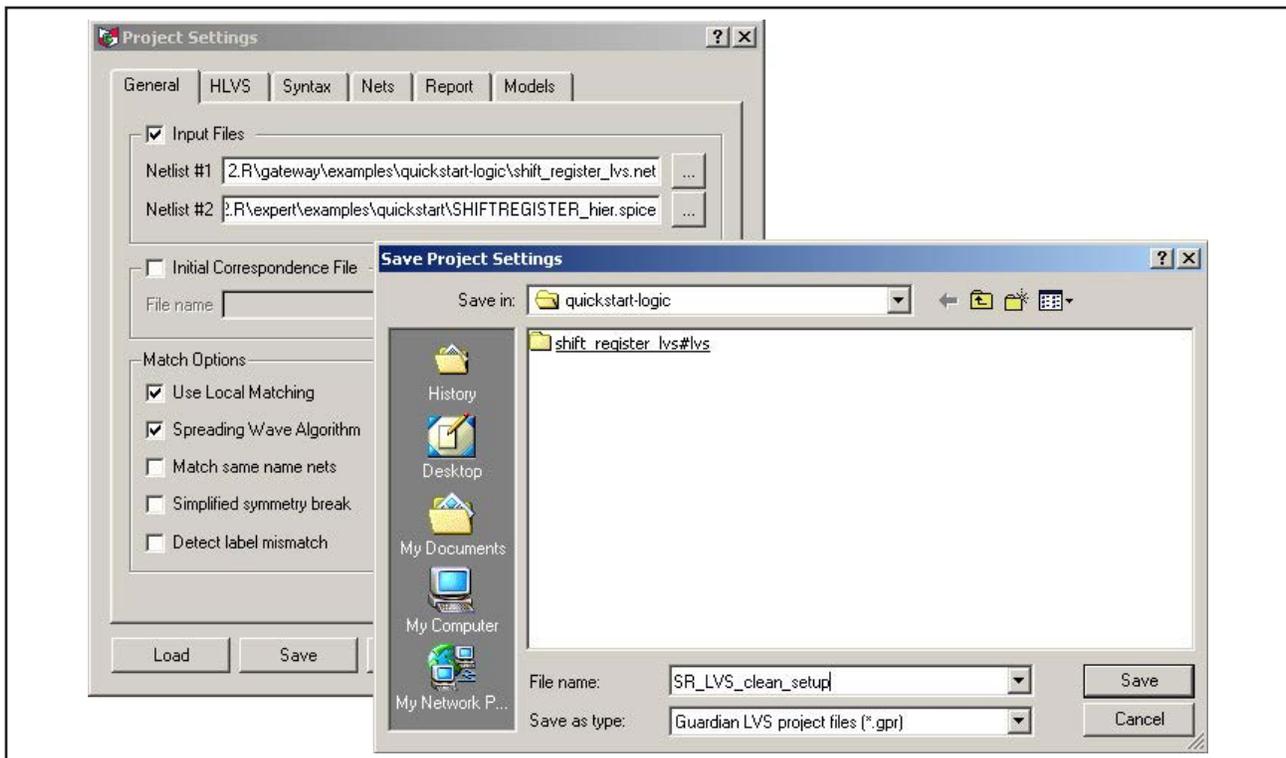


그림 1: LVS 설정을 *.gpr 파일에 저장

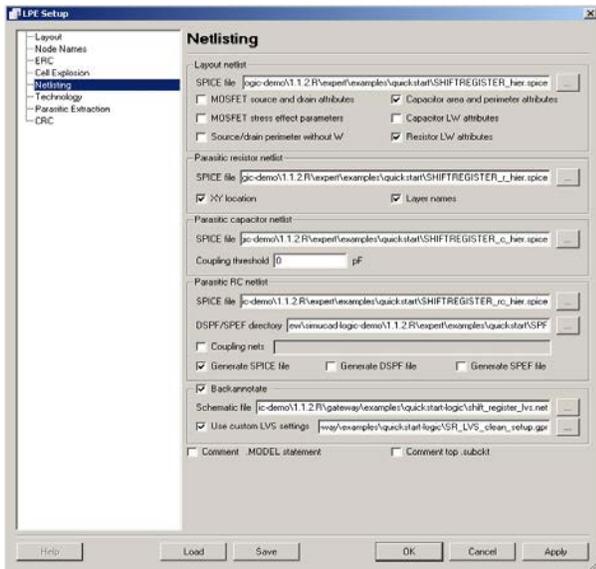


그림 2: 백 애노테이션을 위한 파일 경로

*.gpr 파일은 스키매틱 넷리스트 (프론트엔드 넷리스트)와 레이아웃 추출 넷리스트 (백엔드 넷리스트) 사이의 관계를 설정합니다. Guardian LVS 툴의 Match 보고서는 백엔드 넷의 이름과 동등한 프론트엔드 넷 이름을 연결하는 데 사용됩니다.

```

*****
* Sub-Circuit Netlist of : nand2
*****
.subckt nand2 #2 #3 #4 #5 #6
M#2 #1 #6 #4 #4 CMOSN L=2U W=5U
M#3 #3 #5 #2 #3 CMOSP L=2U W=10U
M#4 #2 #6 #3 #3 CMOSP L=2U W=10U
M#1 #2 #5 #1 #4 CMOSN L=2U W=5U
.ends nand2

*****
* Sub-Circuit Netlist of : NAND_3
*****
.subckt NAND_3 #10 #11 #12 #13 #14 #7
M#8 #7 #12 #10 #7 CMOSP L=2U W=10U
M#9 #10 #13 #7 #7 CMOSP L=2U W=10U
M#10 #7 #14 #10 #7 CMOSP L=2U W=10U
M#6 #8 #13 #9 #11 CMOSN L=2U W=5U
M#7 #9 #14 #10 #11 CMOSN L=2U W=5U
M#5 #11 #12 #8 #11 CMOSN L=2U W=5U
.ends NAND_3

*****
* Sub-Circuit Netlist of : D_FF
*****
.subckt D_FF #15 #16 #21 #22 #23 #24
XI5 #17 #21 #19 #24 #20 #15 NAND_3
XI0 #22 #15 #21 #20 #23 nand2
XI1 #18 #15 #21 #19 #20 nand2
XI2 #23 #15 #21 #22 #17 nand2
XI3 #19 #15 #21 #17 #16 nand2
XI4 #20 #15 #21 #18 #24 nand2
.ends D_FF

*****
* Sub-Circuit Netlist of : SHIFTREGISTER
*****
.subckt SHIFTREGISTER
XI0 #36 #28 #29 #27 #26 #34 D_FF
XI1 #36 #31 #29 #28 #30 #34 D_FF
XI2 #36 #33 #29 #31 #32 #34 D_FF
XI3 #36 #25 #29 #33 #35 #34 D_FF
.ends SHIFTREGISTER
.end
    
```

그림 3: 레이아웃 넷리스트

백 애노테이션의 첫 번째 단계는 스키매틱 넷리스트의 넷 이름을 레이아웃 추출 넷리스트에 주석으로 추가하는 것입니다. 스키매틱 넷 이름을 시뮬레이션에 사용하므로, 본 단계는 중요합니다. 이는 회로 시뮬레이션에서 stimuli에 전달되는 넷입니다. 스키매틱 넷리스트에 넷을 백 애노테이션하려면 기생 없이 간단한 레이아웃 넷리스트를 추출해야 하지만, 이번에는 스키매틱 넷리스트에 백 애노테이션을 지정합니다. Expert의 LPE 설정에서, "Netlisting" 탭의 "Backannotate" 항목을 선택합니다. 이를 통해 LVS 매칭에서 사용한 스키매틱 넷리스트 경로와 LVS 무결성을 위한 LVS 설정 경로를 지정할 수 있습니다. 그림 2는 이 단계를 나타냅니다. 실제로, 결과로 얻을 수 있는 넷리스트는 동일한 넷리스트 계층을 갖는 레이아웃 추출 넷리스트입니다. 여기서 넷 이름은 스키매틱 넷리스트의 동등한 넷 이름으로 대체됩니다.

그림 3은 백 애노테이션이 없는 시프트 레지스터의 레이아웃 추출 넷리스트를, 그림 4는 동일한 회로의 스키매틱 넷리스트를 나타냅니다. 백 애노테이션 옵션을 선택한 경우의 결과 넷리스트는 그림 5에 있습니다. 그림처럼, 파라미터와 넷리스트의 계층 구조가 보존되며 넷 이름만 대체됩니다.

```

X1 C NET7 OUT0 NET1 VDD GND DFF
X2 C OUT0 OUT1 NET3 VDD GND DFF
X3 C OUT1 OUT2 NET5 VDD GND DFF
X4 C OUT2 OUT3 NET4 VDD GND DFF
*
* Schematic name: DFF
*
.SUBCKT DFF C D Q Q_bar VDD VSS
*
X1 NET13 Q_bar Q VDD VSS NAND2
X2 Q NET10 Q_bar VDD VSS NAND2
X3 NET10 D NET8 VDD VSS NAND2
X4 NET12 C NET13 VDD VSS NAND2
X5 NET8 NET13 NET12 VDD VSS NAND2
X10 NET13 C NET8 NET10 VDD VSS NAND3
*
.ENDS DFF
*
* Schematic name: NAND2
*
.SUBCKT NAND2 IN1 IN2 OUT VDD VSS
*
M1 OUT IN1 NET2 VSS CMOSN L=2U W=5U AD=27.5P AS=27
M2 NET2 IN2 VSS VSS CMOSN L=2U W=5U AD=27.5P AS=27
M3 OUT IN1 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
M4 OUT IN2 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
*
.ENDS NAND2
*
* Schematic name: NAND3
*
.SUBCKT NAND3 IN1 IN2 IN3 OUT VDD VSS
*
M1 OUT IN1 NET2 VSS CMOSN L=2U W=5U AD=27.5P AS=27
M2 NET2 IN2 NET1 VSS CMOSN L=2U W=5U AD=27.5P AS=27
M3 OUT IN1 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
M4 OUT IN2 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
M5 NET1 IN3 VSS VSS CMOSN L=2U W=5U AD=27.5P AS=27
M6 OUT IN3 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
*
.ENDS NAND3
*
    
```

그림 4: 스키매틱 넷리스트

```

*****
* Sub-Circuit Netlist of : NAND2
*****
.subckt NAND2 OUT VDD VSS IN1 IN2
M2 NET2 IN2 VSS VSS CMOSN L=2U W=5U
M3 VDD IN1 OUT VDD CMOSF L=2U W=10U
M4 OUT IN2 VDD VDD CMOSF L=2U W=10U
M1 OUT IN1 NET2 VSS CMOSN L=2U W=5U
.ends NAND2

*****
* Sub-Circuit Netlist of : NAND3
*****
.subckt NAND3 OUT VSS IN3 IN2 IN1 VDD
M6 VDD IN3 OUT VDD CMOSF L=2U W=10U
M4 OUT IN2 VDD VDD CMOSF L=2U W=10U
M3 VDD IN1 OUT VDD CMOSF L=2U W=10U
M2 NET1 IN2 NET2 VSS CMOSN L=2U W=5U
M1 NET2 IN1 OUT VSS CMOSN L=2U W=5U
M5 VSS IN3 NET1 VSS CMOSN L=2U W=5U
.ends NAND3

*****
* Sub-Circuit Netlist of : DFF
*****
.subckt DFF VDD D VSS Q Q_bar C
X10 NET10 VSS NET8 C NET13 VDD NAND3
X1 Q VDD VSS NET13 Q_bar NAND2
X5 NET12 VDD VSS NET8 NET13 NAND2
X2 Q_bar VDD VSS Q NET10 NAND2
X3 NET8 VDD VSS NET10 D NAND2
X4 NET13 VDD VSS NET12 C NAND2
.ends DFF

*****
* Sub-Circuit Netlist of : top
*****
.subckt top
X4 VDD OUT2 GND OUT3 NET4 C DFF
X3 VDD OUT1 GND OUT2 NET5 C DFF
X2 VDD OUT0 GND OUT1 NET3 C DFF
X1 VDD NET7 GND OUT0 NET1 C DFF
.ends top
    
```

그림 5. 레이아웃 백 애노테이션 넷리스트

백 애노테이션이 있는 R, C, RC 추출

레이아웃의 기생 효과는 캐패시터(HIPEX-C), 저항(HIPEX-R) 또는 캐패시터와 저항 조합(HIPEX-RC)에 대해 기생을 추출할 때 설명할 수 있습니다. 이 세 가지 기생 추출 모드는 모두 Expert에서 실행할 수 있습니다. 지정된 프로세스의 기생 계수는 Technology 탭의 LPE 설정 페이지에서 지정합니다. 이러한 계수는 캐패시터와 저항에 대한 두 가지 파일로 제공됩니다. 사용자는 그림 6과 같이 파일의 경로를 지정해야 합니다.

레이아웃의 기생 영향을 추출하려면, Expert>>Verification>>Extraction>>HipexC>>Run, Hipex-R>>Run 또는 Hipex-RC>>Run 을 실행합니다. 세 가지 중 첫 번째 옵션은 기생 캐패시터만 포함된 추출 넷리스트를 생성합니다. 결과 넷리스트의 일부를 그림 7에서 볼 수 있습니다. 두 번째 옵션은 기생 저항의 영향을 포함하는 넷리스트를, Hipex-RC 옵션은 그림 8과 같이 R 및 C 영향을 포함하는 넷리스트를 생성합니다.

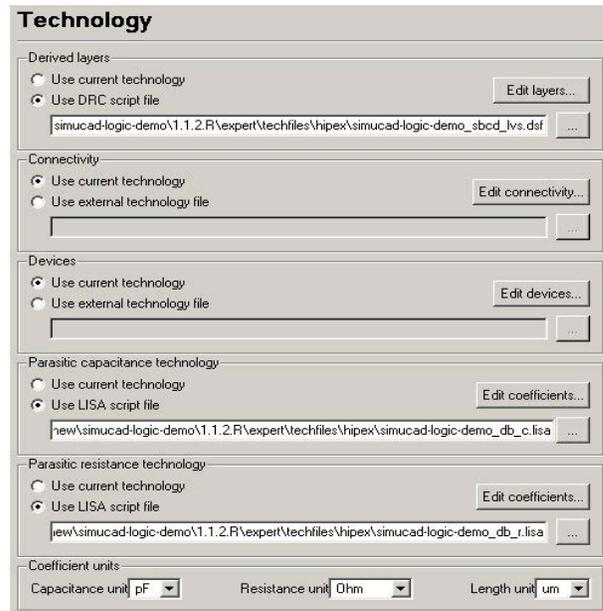


그림 6. 기생 계수 파일 경로

```

*****
* Sub-Circuit Netlist of : DFF
*****
.subckt DFF VDD D VSS Q Q_bar C
X10 NET10 VSS NET8 C NET13 VDD NAND3
X1 Q VDD VSS NET13 Q_bar NAND2
X5 NET12 VDD VSS NET8 NET13 NAND2
X2 Q_bar VDD VSS Q NET10 NAND2
X3 NET8 VDD VSS NET10 D NAND2
X4 NET13 VDD VSS NET12 C NAND2

*** Parasitic capacitors ***

Cp1 NET12 NET13 8.31903e-016
Cp2 NET12 NET8 3.88372e-017
Cp3 NET12 SUB 3.82461e-013
Cp4 NET13 NET8 3.88372e-017
Cp5 NET13 SUB 1.14145e-012
Cp6 NET8 NET10 5.32508e-016
Cp7 NET8 SUB 7.69817e-013
Cp8 NET10 SUB 7.60928e-013

.ends DFF
    
```

그림 7. 기생 C 백 애노테이션 넷리스트

그림 8에서 볼 수 있듯이, 주어진 넷은 서브넷으로 분리되어, 회로에 기생 저항을 포함시킬 수 있습니다. 예를 들어, NET12는 이제 NET12:17과 NET12:25로 표시됩니다. 또한 넷 VDD는 여러 개의 서브넷으로 분할될 수 있습니다. LPE 설정 페이지는 기생 구성요소를 추출하는 방법을 제공합니다. 이러한 옵션은 다음 섹션에서 설명합니다.

```
* Sub-Circuit Netlist of : DFF
*
*-----*
.subckt DFF VDD:219 VDD:144 VDD:143 VDD:157 VDD:151 VDD:153 VDD:154 VDD:155
+VDD:149 VDD:140 VDD:142 VDD:141 VDD:148 VDD:147 D:40 D:39 VSS Q:36 Q:41 Q:42
+Q_bar:23 Q_bar:22 Q_bar:18 C:138 C:140 C:139 C:137
X10 NET10:31 VSS NET8:39 NET8:38 C:138 C:140 NET13:44 VDD:219 VDD:144
+VDD:143 VDD:157 NAND8
X1 Q:36 VDD:219 VDD:151 VDD:153 VSS NET13:47 NET13:46 Q_bar:23 Q_bar:22 NAND2
X5 NET12:19 VDD:219 VDD:154 VDD:155 VSS NET8:41 NET8:40 NET13:49 NET13:49 NAND2
X2 Q_bar:18 VDD:219 VDD:149 VDD:140 VSS Q:41 Q:42 NET10:34 NET10:35 NAND2
X3 NET8:33 VDD:219 VDD:142 VDD:141 VSS NET10:37 NET10:36 D:40 D:39 NAND2
X4 NET13:39 VDD:219 VDD:148 VDD:147 VSS NET12:22 NET12:21 C:139 C:137 NAND2
*
*** Parasitic resistors ***
Rp1 NET12:17 NET12:25 0.034358
* Layer METAL2 at (19.5, 31.5)
Rp2 NET12:17 NET12:29 56.910566
* Layer connect_poly at (19.5, 31.5)
Rp3 NET12:17 NET12:30 56.910566
* Layer connect_poly at (19.5, 31.5)
Rp4 NET12:29 NET12:30 140.105155
```

그림 8. 기생 RC 백 애노테이션 넷리스트

기생 추출 옵션

"기생 저항 넷리스트" 섹션, LPE 설정의 "Netlisting" 탭 (그림 2 참조)에서 기생 저항 넷리스트의 경로와 이름을 지정합니다. 경로 필드에 있는 두 체크 박스는 넷리스트에 기생 저항 성분의 XY 좌표와 이 저항 값으로 이어지는 물리적 레이어가 포함되는지를 결정합니다. 같은 페이지의 "기생 캐패시터 넷리스트" 섹션에서 기생 캐패시터 넷리스트 경로 및 이름을 입력합니다.

또한 사용자는 커플링 기준값을 지정할 수 있습니다.

커플링 기준값을 0으로 설정하면, 모든 넷은 다른 모든 넷에 대해 기생 캐패시턴스를 가질 수 있습니다. 커플링 기준값을 설정하면, 캐패시턴스 값이 기준값보다 높을 때만 넷 사이의 캐패시턴스를 나타냅니다. 기준값보다 낮은 모든 캐패시턴스 값은 동일한 값의 접지 캐패시턴스로 대체됩니다. 넷 사이의 커플링 캐패시턴스를 대체할 때, 해당 접지 캐패시턴스가 관련된 두 넷에 추가됩니다.

RC 기생 섹션에서 넷리스트의 경로와 원하는 출력 형식 (spice, dspf, spef)을 입력합니다. 체크 박스에서 커플링 넷의 목록을 지정합니다. 넷 목록이 제공되는 경우, 추출 툴은 해당 넷을 커플링 넷으로 간주합니다. 즉, 목록의 넷에 대한 캐패시턴스는 접지되지 않습니다.

그림 9에 표시된 LPE 설정 창의 "Parasitic Extraction" 탭은 다른 설정 옵션을 제공합니다.

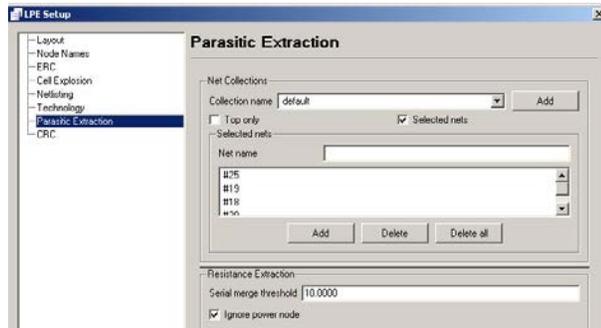


그림 9. 기생 추출 설정

기생 추출은 지정한 넷 목록에 대해 실행될 수 있으며, 사용자는 일부 넷을 무시할 수 있습니다. 직렬 병합 기준값도 저항에 대해 설정할 수 있습니다. 이렇게 하면, 넷리스트에 있는 저항 수가 줄어듭니다. 기준값을 10옴으로 설정할 때, 가능하다면 기준값보다 낮은 기생 저항 모두를 직렬로 결합합니다. 추출 설정은 파일로 저장할 수 있습니다. 추후 다시 로드할 수 있는 *.epo 파일이 생성됩니다. 기능 및 옵션에 대한 자세한 내용은 Guardian 사용 설명서를 참조하십시오.

결론

본 애플리케이션 노트에서 포스트 레이아웃 시뮬레이션을 수행하기 위해 기생 효과의 백 애노테이션을 넷리스트에 간소화하는 단계 및 도구 기능에 대해 설명하였습니다. 이를 통해 물리적 설계에 기초한 실리콘 동작을 더 잘 예측할 수 있고, 레이아웃을 수정하여 설계의 적절한 기능을 확보할 수 있습니다.