

Guardian LVS를 이용한 레이아웃 대 스키매틱 (LVS) 비교

소개

LVS 오류가 없는 설계를 위해 다양한 접근 방식이 존재하며, 해당 절차는 종종 설계에 의존적입니다. 예를 들어, 스키매틱과 레이아웃 넷리스트 간의 소자 갯수 차이, 넷리스트 구조의 차이 및 소자 파라미터의 세부적인 차이는 LVS 비교 기준 설정에 영향을 미칠 수 있습니다. 본 애플리케이션 노트에서는 Guardian LVS 툴을 사용하여 설계의 LVS를 쉽게 비교할 수 있는 방법과 기능을 소개합니다.

Guardian LVS 툴을 사용하여 SVS (스키매틱 대 스키매틱), LVL (레이아웃 대 레이아웃) 및 LVS (레이아웃 대 스키매틱) 등으로 두 넷리스트를 비교할 수 있습니다. 본 애플리케이션 노트에서는 LVS 상황을 가정합니다.

상향식 접근 방식

일반적으로 LVS 프로세스를 용이하게 하기 위해, 계층 구조의 하위 레벨 셀에서 LVS 비교를 시작하여 프로젝트의 계층 트리로 진행하는 것이 좋습니다. 이 기본 규칙을 적용하면 LVS 프로세스를 원활하게 진행할 수 있습니다. 상위 계층 수준의 셀을 비교할 때 발견되는 LVS 오류는 인스턴스 간의 연결에 의해 발생할 가능성이 높는데, 해당 스키매틱에서 LVS 무결성인 것으로 알려져 있기 때문입니다. 이러한 구조적 접근 방식은 시간이 걸릴 수 있지만, LVS 디버깅 시간을 상당히 단축할 수 있습니다.

라벨 사용

또 다른 방법은 프론트엔드 (스키매틱) 및 백엔드 (레이아웃) 설계에 동일한 넷 라벨을 사용하는 것입니다. "General" 탭의 Setup>>Project Settings...에서 "Match same name nets" 옵션을 이용하여, 셀에 대한 입출력 넷에 두 넷리스트에서 동일한 라벨을 지정하면 디버깅 작업을 단순하게 할 수 있습니다. 또한, "Match same name devices/instances" 및 "Match same name subcircuits"를 이용하여, 인스턴스와 부회로의 이름을 동일하게 지정할 수 있습니다.

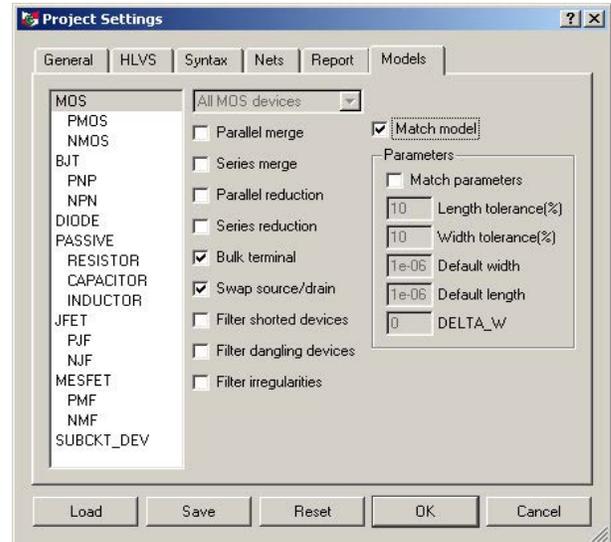


그림 1: 축소 없는 LVS 설정

전원 및 접지 넷

LVS 프로세스를 용이하게 하기 위해, 두 넷리스트의 전원 및 접지 넷을 지정하는 것이 좋습니다. "Nets" 탭에서 Setup>>Project Settings... 항목을 입력하십시오.

비교 대상 파악

많은 기본 셀에서, 프론트엔드 및 백엔드 넷리스트의 소자 수는 동일합니다. 예를 들어, 간단한 인버터는 프론트엔드 및 백엔드 넷리스트에 한 개의 NMOS와 한 개의 PMOS를 포함할 수 있습니다. 이 경우 LVS 툴은 넷리스트를 줄이지 않아도 (직렬 병합, 병렬 병합, 직렬 축소, 병렬 축소), LVS를 깔끔하게 처리할 수 있습니다. 따라서 비교 중인 두 넷리스트가 소자에 대해 일대일 대응을 할 경우, 그림 1과 같이 LVS 프로세스에서 감소를 하지 않고, 일단 LVS 실행을 하는 것이 좋습니다. 이러한 설정은 "Models" 탭에서 Setup>>Project Settings... 항목을 참고하십시오.

비교 중인 넷리스트의 소자 갯수가 다른 경우, 넷리스트에 대해 일부 축소 또는 병합을 해야 합니다. 이 때 주의할 점은 축소 과정에서 넷 일부가 붕괴된다는 점입니다. 중요한 넷이 축소된 넷리스트에 반드시 있어야 하는 경우, "Nets" 탭에서 Setup>>Project Settings... 의 "Non-Collapsible Nets" 섹션에 해당 넷이 있어야 합니다. "Collapsible Nets"에 대한 설정은 "Syntax" 탭의 Setup>>Project Settings...에서 확인합니다.

일치 기준 설정

앞서 언급한 바와 같이 일치 기준은 설계에 따라 달라집니다. 그러나 처음에는 기준을 느슨하게 설정하는 것이 좋습니다. 첫 번째 목표는 "연결의 LVS 무결성"입니다. 즉, 프론트엔드에서 서로 다른 소자를 연결하는 전기적 연결은 백엔드 설계의 전기적 연결과 동일해야 하며, 두 넷리스트의 토폴로지는 동일해야 합니다. 이 단계에서의 해당 기준은 저항, MOS 소자의 W, L 또는 캐패시턴스 값처럼 소자 파라미터의 일치를 포함하지 않습니다. 해당 기준은 "Models" 탭의 Setup>>Project Settings...에서 확인합니다. 그림 2는 저항 비교를 위한 설정을 나타냅니다. 이 경우, 오른쪽의 "Match model"만 체크합니다. 따라서 LVS 알고리즘은 값이나 저항의 W, L을 비교하지 않고, 비교 저항이 동일한 모델 유형인지, 회로의 나머지 부분에 대한 전기적 연결은 동등한지 확인합니다.

그림 2의 왼쪽에 있는 각 소자 유형은 설정이 유사하므로, 초기 LVS 실행을 위해 보수적으로 설정하는 것을 추천합니다.

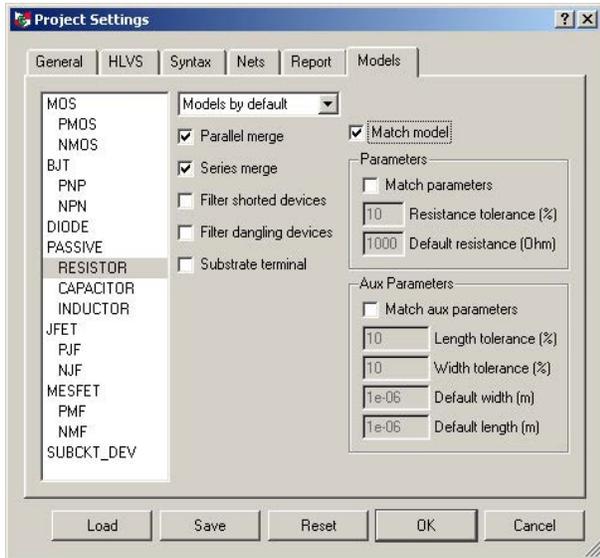


그림 2. 모델 일치

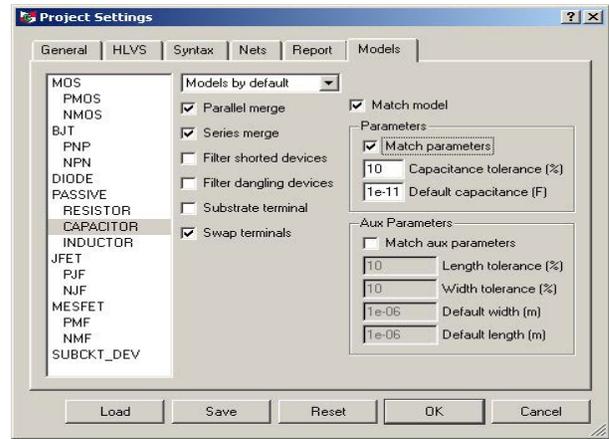


그림 3. 파라미터 일치

본 단계를 완료하면, LVS 톨의 보고서는 두 넷리스트가 동등함을 나타냅니다. 설정 기준에 따라 넷리스트가 동등하며, 여기서 파라미터 일치는 포함하지 않습니다.

일치 기준 강화

"연결의 LVS 무결성"이 달성되면, 백엔드 넷리스트 (레이아웃)가 설계의 프론트엔드 넷리스트를 정확하게 표현하도록 일치 기준을 강화합니다.

그림 3은 캐패시터에 대한 파라미터 일치를 추가하기 위해 기준을 설정하는 방법을 나타냅니다. 저항처럼 파라미터와 보조 파라미터를 별도로 설정할 수 있습니다.

특정 모델에 다른 일치가 필요한 경우, 모델별로 기준을 설정합니다. 예를 들어, "hv_pmos"라는 이름의 PMOS 소자에 대해 다른 MOS 모델에 적용되는 10% 대신 5%의 L, W 허용 오차를 적용하려면, 그림 4와 같이 설정합니다.

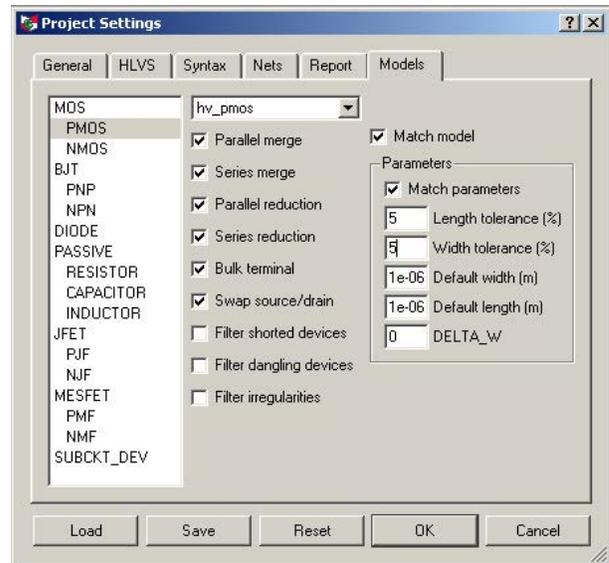


그림 4. 모델에 기초한 설정

보고서 읽기

LVS 비교를 완료하면, LVS 무결성 설계에 도움이 되는 보고서를 생성할 수 있습니다. "Report" 탭의 Setup>>Project Setting...에서 보고서 목록을 확인합니다. 중요한 정보가 어느 단계에 포함되었는지 불확실하므로, 초기에 모든 보고서를 생성하는 것을 추천합니다.

완료 후 표시되는 첫 번째 보고서는 그림 5의 액티브 로그 파일 (LO)입니다. 이 메시지 파일은 LVS 비교의 성공 여부를 나타냅니다. 상단에 세 가지의 다른 메시지가 표시될 수 있습니다; 넷리스트 동등, 넷리스트 비동등, 넷리스트의 토폴로지는 동일하지만 파라미터 오류 발생.

그림 5의 결과는 두 넷리스트가 동등하지 않음을 나타냅니다. 설정에서 소자의 축소를 허용하지 않았으므로, 전처리 전과 후의 컬럼은 동일한 소자 개수를 나타냅니다. 일치되지 않거나 일치되는 컬럼은 넷의 개수에 차이가 있음을 나타냅니다. 스키맷 넷리스트의 42개 넷 중에서 41개가 백엔드 넷리스트의 43개 넷 중에서 41개와 일치합니다. 넷의 불일치를 해결하려면, UM(Unmatch Report) 즉, 두 번째 보고서의 결과를 확인합니다. 해당 보고서에 불일치 및 일부 잠재적 일치 항목이 있습니다.

그림 6의 UM 보고서는 첫 번째 넷리스트의 넷 TRA48:Q0이 두 번째 넷리스트의 넷 TRA48:#20과 일치할 수 있음을 나타냅니다. 보고서는 또한 넷 TRA48:Q0이 두 번째 넷리스트의 넷 TRA48:Q0과 일치할 수 있다고 제안합니다. 이 경우, 권장 일치 항목의 통계 정보를 확인할 필요가 있습니다. 첫 번째 줄의 "stats: 12/2 - 0/0 - 10/0 - 2"는 첫 번째 넷리스트의 넷 TRA48:Q0에 총 12개의 연결이 있다는 것과 이 두 개의 넷을 일치시킨다면, 첫 번째 넷리스트에 있는 12개의 연결 중 10개가 이러한 일치에 부합하지 않는다는 것을 나타냅니다. 또한 두 번째 넷리스트에서 넷 TRA48:#20에 총 2개의 연결이 있으며, 두 연결이 이러한 일치에 부합한다는 것을 나타냅니다.

두 번째 줄의 "stats: 12/10 - 0/0 - 2/0 - 10"은 두 번째 넷리스트의 넷 TRA48:Q0에 총 10개의 연결이 있으며, 이 두 넷과 일치하면 10개의 예측을 확인할 수 있음을 나타냅니다. 이 경우, 직관적으로 두 번째 넷리스트에 있는 TRA48:#20 넷 두 개와 TRA48:Q0 넷 10개가 합쳐져 총 12개의 넷이 된다고 추론할 수 있습니다. 따라서, TRA48:Q0과 TRA48:#20 사이에서 넷이 끊어져, 메인 넷 TRA48:Q0에 연결되지 않은 연결이 두 개 있을 가능성이 있습니다.

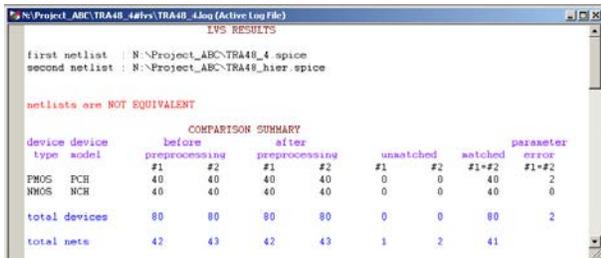


그림 5. 액티브 로그 파일

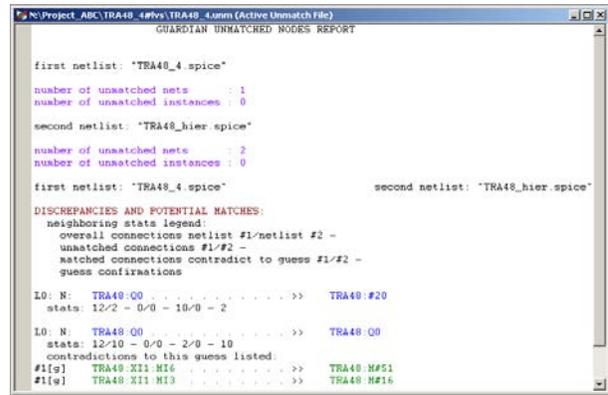


그림 6. 불일치 보고서

이를 확인하기 위해, 보고서에 있는 넷을 교차 탐색하여 레이아웃에서 검사할 수 있습니다. 넷 TRA48:#20을 더블 클릭하면 팝업 창이 열려서, LVS Navigator를 선택할 수 있습니다 (그림 7). OK를 누르면 그림 8과 같이 Expert에서 넷이 표시됩니다.

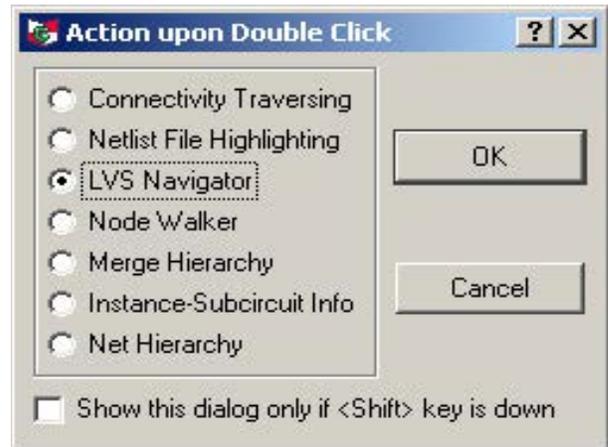


그림 7. Action upon Double Click.

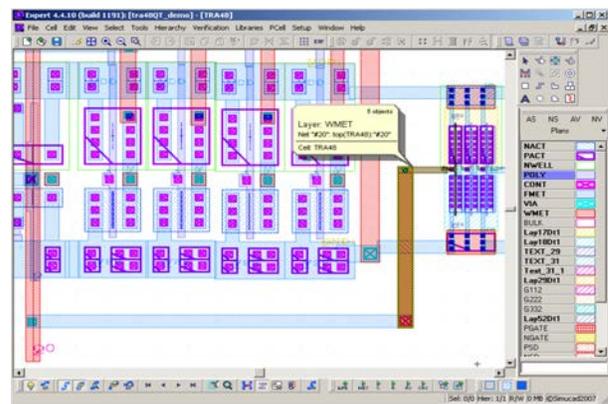


그림 8: 첫 번째 넷의 교차 탐색



그림 9: LVS 탐색기

넷을 스크롤하려면 그림 9의 LVS 탐색기에서 "Next"를 눌러, 제안된 일치 항목의 두 번째 부분을 레이아웃 창에 표시합니다. 그림 10은 보이는 레이아웃 영역의 오른쪽 하단 모서리에 넷이 끊어진 것을 명확하게 나타냅니다.

레이아웃 오류를 수정한 후, 두 번째 LVS를 실행합니다. 그림 11의 액티브 로그 창에서 넷리스트의 토폴로지는 동일하지만 일부 파라미터 오류 (PE)가 존재함을 나타냅니다. 로그 파일의 마지막 컬럼은 PMOS 소자에 PE가 존재함을 나타냅니다.

PE 보고서 (그림 12)는 이를 조사하는 데 유용합니다. 여기서 첫 번째 넷리스트 소자 (왼쪽)와 두 번째 넷리스트 소자 사이의 파라미터 불일치를 모두 나타냅니다. 그림과 같이 백엔드 PMOS 소자 M#68의 너비는 4.6u으로, 프론트엔드 넷리스트에 있는 동등한 소자의 4u와 차이가 있습니다. LVS Navigator 기능을 사용하여 레이아웃에서 두 개의 PMOS 소자를 찾아, 첫 번째 넷리스트에 있는 파라미터와 일치하도록 해당 값을 수정합니다.

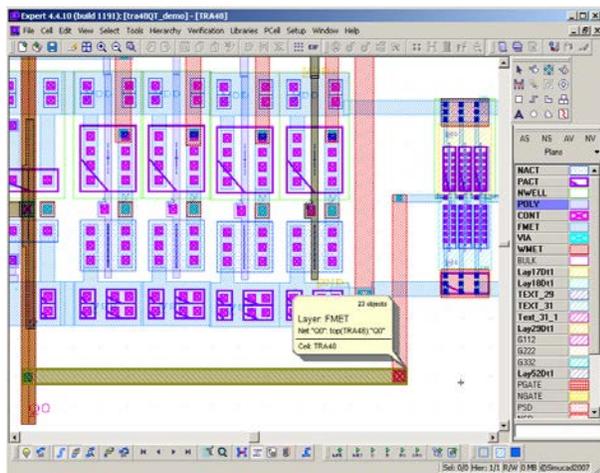


그림 10. 두 번째 넷의 교차 탐색

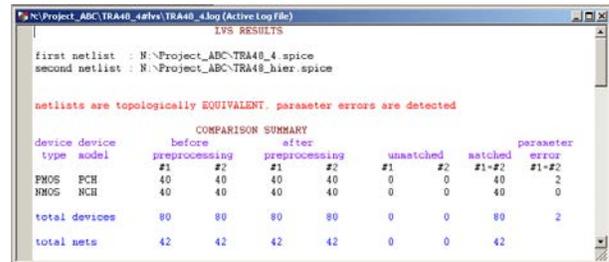


그림 11: 토폴로지가 동일한 액티브 로그

다른 보고서도 사용할 수 있으며, Guardian Layout Verification User's Manual의 4장 5절을 참조하십시오.

유용한 디버깅 툴

다양한 툴 기능을 통해 디버깅 과정을 지원할 수 있습니다. LVS 탐색기는 Expert 레이아웃 에디터에서 넷을 표시할 수 있으며, Guardian LVS에서 레이아웃 (Expert)과 스키매틱 툴 (Gateway) 사이의 교차 탐색을 수행합니다. Guardian LVS의 "Action" 메뉴에서 "Launch Gateway" 또는 "Launch Gateway Views"를 선택할 수 있습니다. 여기서 프론트엔드 넷리스트에 해당하는 스키매틱이 있으면, LVS 탐색기 기능으로 넷리스트, 레이아웃 및 스키매틱 툴 모두에서 넷을 표시합니다.

마지막으로, Expert 레이아웃 에디터에서 몇 가지 유용한 기능을 사용할 수 있습니다. Expert는 LVS 불일치를 해결하기 위해 "노드 탐색", "넷 및 소자 검색" 및 "단축 로케이터"의 세 가지 기능을 제공합니다. 자세한 내용은 Expert Layout Editor User's Manual을 참조하십시오.

결론

본 애플리케이션 노트는 LVS 무결성 설계 시간을 단축하고, Guardian LVS를 이용하여 LVS 비교를 단순화하는 데 필요한 방법과 기능을 소개합니다.

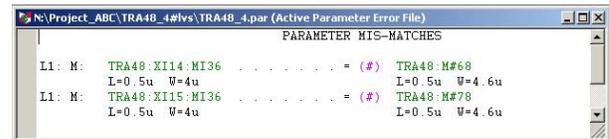


그림 12: 파라미터 에러 보고서