

VWFによる 回路シミュレーションの管理

はじめに

VWFとはVirtual Wafer Fabの略でDOE（実験計画）と最適化実験を行うためのソフトウェアです。VWFによってプロセス/デバイス/回路シミュレーションにおける様々な条件のスプリットパラメータを定義し、キューイングの管理や結果の一覧表示が可能です。本アプリケーションノートではVWFを回路シミュレーションに用いた際のスプリット条件の設定及び結果の一覧表示などの強力で便利な機能を紹介します。

シミュレーション回路の用意

今回は簡易なコンパレータ回路を用いてSpiceシミュレーションを実行します。

回路図エディタのGatewayを用いてコンパレータ回路を作成し（図1参照）、あらかじめセンター条件にてSmartSpiceによりシミュレーションを実行しておきます。

今回は以下3つのスプリットパラメータ、を".PARAM"としてあらかじめ定義しておき（図2参照）シミュレーションします。

- 電源電圧：“VDD”
- 温度：“tempval”
- 出力負荷容量：“capval”

シミュレーション条件を記載するコントロールカードには通常行うモデルの設定や解析ステートメントの他にmeasureステートメントの設定を行います（図3参照）。ここでは入力“INP”

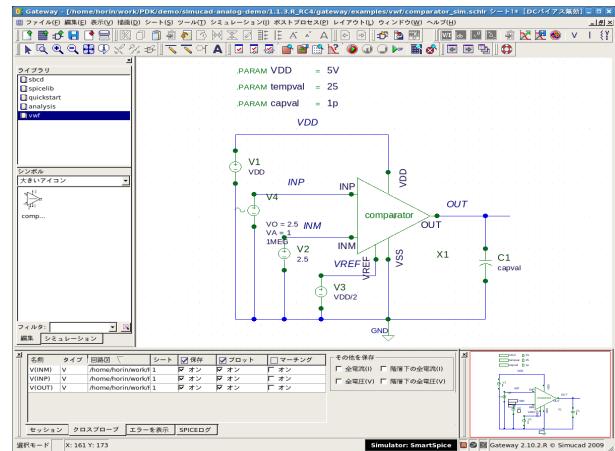


図2 シミュレーショントップ回路での.PARAMの設定

トメントの設定を行います（図3参照）。ここでは入力“INP”が“INM”とクロスしたあとにコンパレータの出力であるOUTが便宜上規定する遅延時間25nsec以内で変化するかを立ち上がりと立ち下がりかでモニターするため、以下のmeasureステートメントを設定しています。

```

1 .lib "/home/horin/work/PDK/demo/simucad-analog-demo/1.1.3.R_RC4/gateway/models/SBDC.lib"
2
3 .OPTIONS NOMOD
4 .TRAN in 4u
5 .temp tempval
6
7
8 *****
9
10 .measure tran inp_rise_cross cross v(inp) v(inm) rise=2 from=0.2u
11 .measure tran out_rise_cross cross v(out) val=vdd*0.9 rise=2 from=0.2u
12
13 .measure tran inp_fall_cross cross v(inp) v(inm) rise=2 from=0.2u
14 .measure tran out_fall_cross cross v(out) val=vdd*0.1 rise=2 from=0.2u
15
16 .measure tran rise_dly expr val="out_rise_cross - inp_rise_cross"
17 .measure tran fall_dly expr val="out_fall_cross - inp_fall_cross"
18
19 .measure rise_pass param="(rise_dly<=25n) ? 1:0"
20 .measure fall_pass param="(fall_dly<=25n) ? 1:0"
21 .measure pass param="(rise_dly<=25n) ? ((fall_dly<=25n) ? 1:0) : 0"
22
23
24 *****
25
26
27 *solve outfile=spice.log
28 *extract init infile="spice.log"
29
30 *extract name="rise_dly" max(da.value,"2"*rise_dly)
31 *extract name="fall_dly" max(da.value,"2"*fall_dly)
32 *extract name="rise_pass" max(da.value,"2"*rise_pass)
33 *extract name="fall_pass" max(da.value,"2"*fall_pass)
34 *extract name="pass" max(da.value,"2"*pass)

```

図3 コントロールパネルでのmeasureステートメントの設定

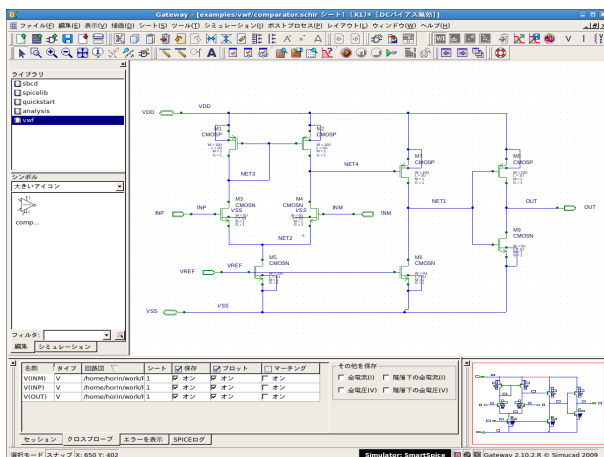


図1 コンパレータ回路

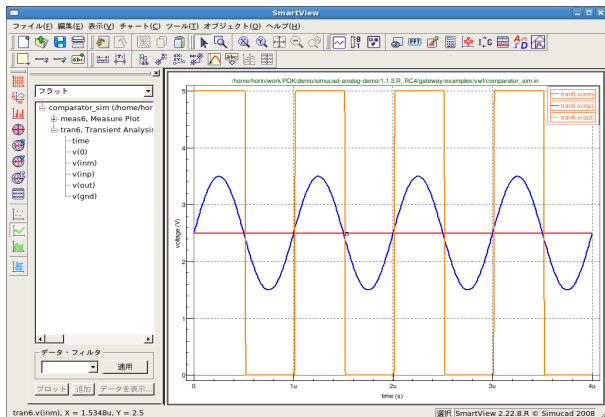


図4 センター条件でのシミュレーション結果

- rise_dly : 立ち上がりの遅延時間
- fall_dly : 立ち下がりの遅延時間
- rise_pass : rise_dlyがスペック内であれば1、スペック外は0
- fall_pass : fall_dlyがスペック内であれば1、スペック外は0
- pass : rise_pass、fall_passがともにスペック内なら1、スペック外は0

また24行目以降はコメントアウトとしていますが、これらはVWFのGUIにてmeasureステートメントでモニターした結果を一覧表示するためのものです。

この回路のシミュレーション結果(図4参照)によりサイン波の入力INPが一定電圧のINMと交差する際に出力のOUTが変化する様子を確認することができます。

VWFによる27条件のシミュレーションの実行と結果確認

3つのスプリットパラメータ("VDD","tempval","capval")をそれぞれ3条件振り、計27条件をVWFにてシミュレーションします。GatewayやSmartSpiceだけを用いて27条件をシミュレーションするには、alterステートメントがよく用いられますが、全ての組み合わせの記述や、シミュレーション後の結果の確認は時として回路設計者の負担となります。

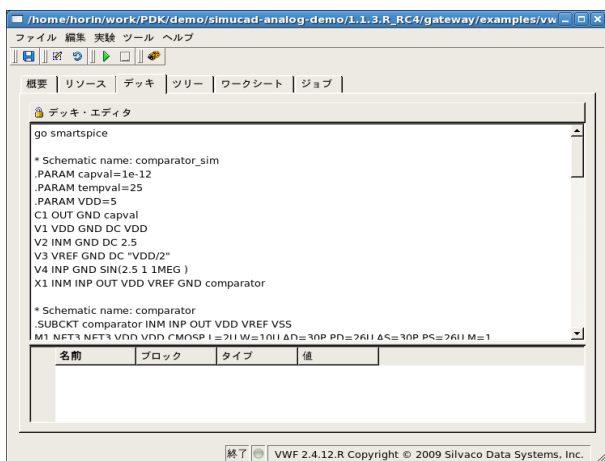


図5 修正後のヘッダー部

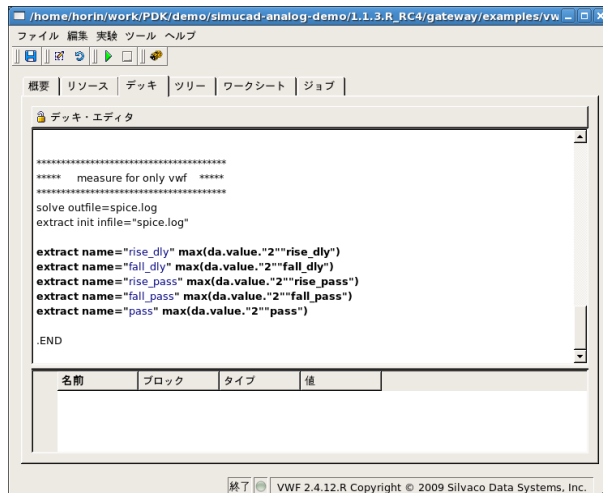


図6 修正後のボトム部

VWFを用いることでスプリット条件設定、シミュレーション実行状況確認、結果確認を簡単に行うことができます。

まずVWFをfilemodeで起動します。(firebirdデータベースを用いた実行も可能ですがここではfilemodeにて実行を行います)

%vwf -filemode &

VWFを起動した後に、Gatewayが出力したインプットデッキをVWFに読み込ませますが、Gatewayが出力したインプットデッキには以下2点の修正が必要です。

1. ヘッダー部のコメント部を削除し、"go smartspice"を挿入(図5参照)
2. VWFにて結果を一覧表示するためにボトム部のコメント部を有効にする(図6参照)

上記修正を行った後にインプットデッキをVWFに読み込ませます。"デッキ"タブ内でcapval、tempval、VDDの3つをスプリットパラメータとして定義を行います。(図7参照)

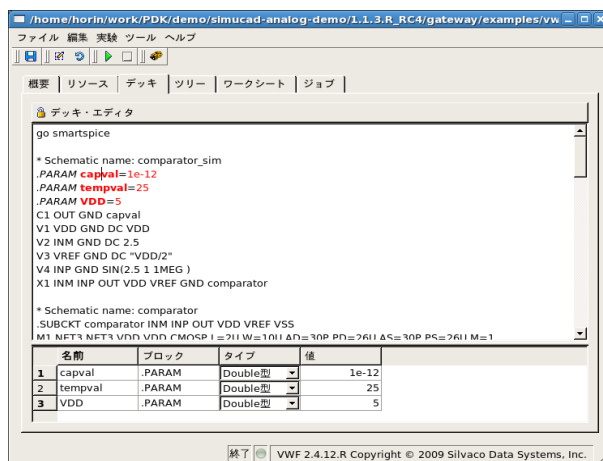


図7 スプリットパラメータの定義

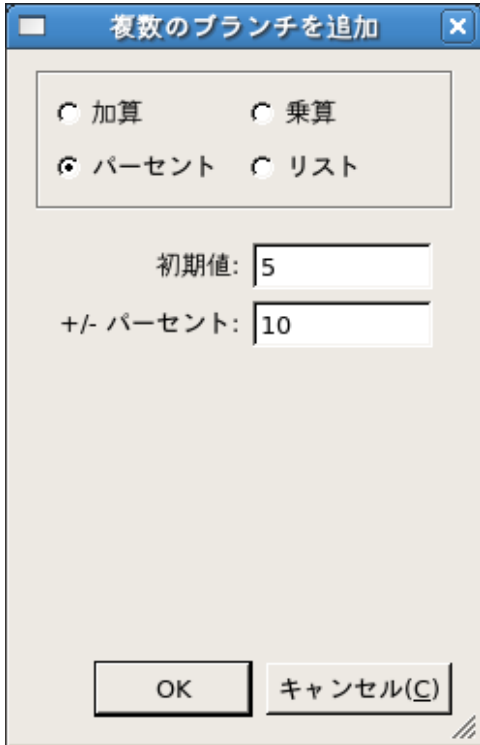


図 8 VDDのスプリット設定

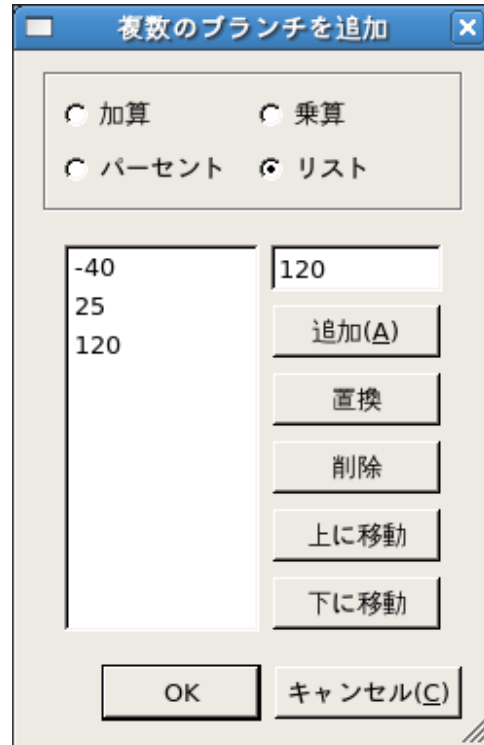


図 10 tempvalのスプリット設定

スプリットパラメータの定義後、“ツリー”タブ上でわずか3ステップ実施するだけで自動的に27条件を設定できます。

- 1.“VDD”変数に対して5±10%のスプリット (図8,9参照)
- 2.“tempval”に対して-40,25,120のスプリット(図10,11参照)
- 3.“capval”の初期値に対して1e-12づつ増加 (図12,13参照)

設定後は全てまたは任意の条件をキューイングしてシミュレーションを実行することができます。また各シミュレーションをSUN Grid Engineなどと組み合わせた管理もできます。

シミュレーションの実行状況は“ツリー”タブのフラグメントステータスにて確認が可能です (: 図14参照)。

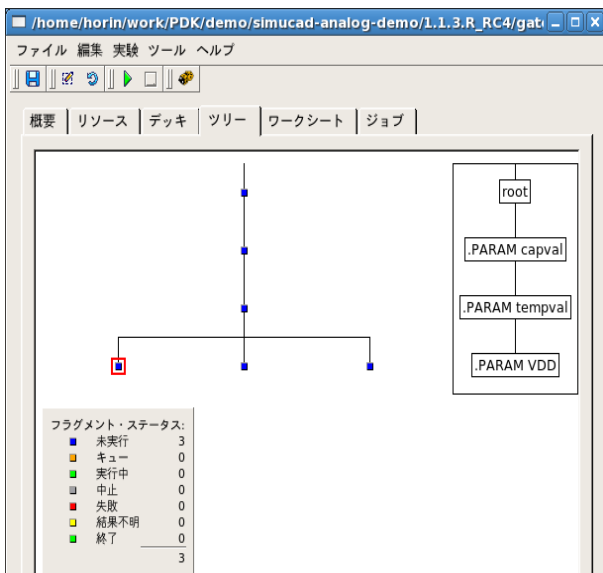


図 9 VDD設定後の3条件のツリー

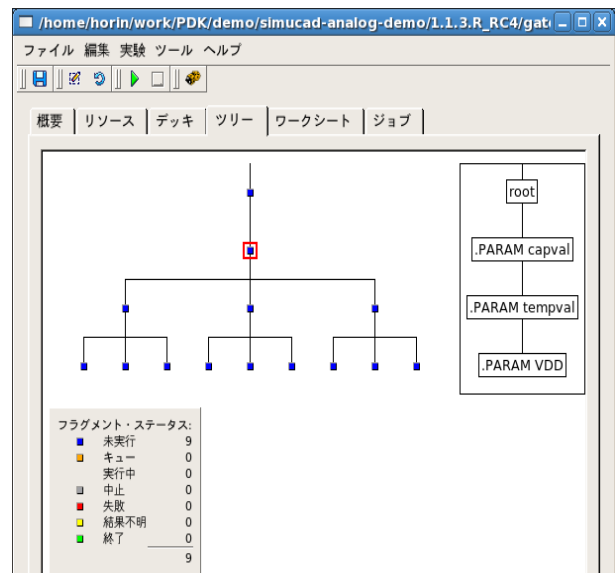


図 11 tempval設定後の9条件のツリー

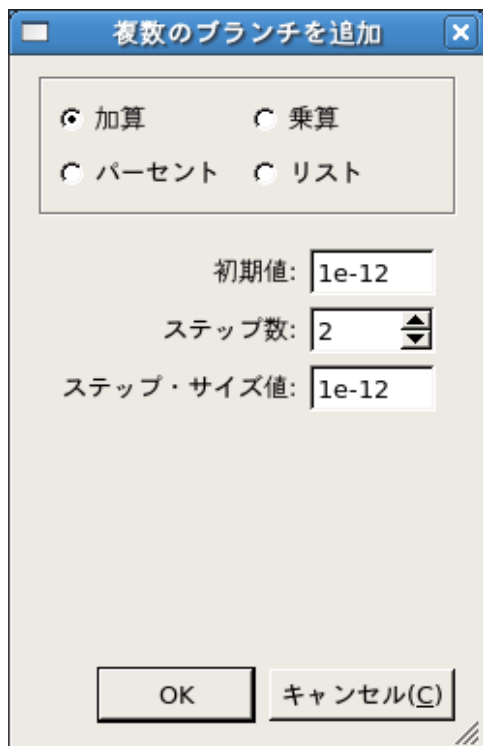


図 12 capvalのスプリット設定

シミュレーション実行後は27条件の結果を"ワークシート"タブにて一覧表示できます。

出力の遅延時間に対してスペック範囲内かどうかの判定を rise_pass、fall_passにて1/0にて表記しているため、どの条件でスペック範囲外となっているかを簡単に認識できます（図15参照）。ここでは負荷容量が増えた際に高温や低電圧条件にてスペック外となることが容易に確認できます。

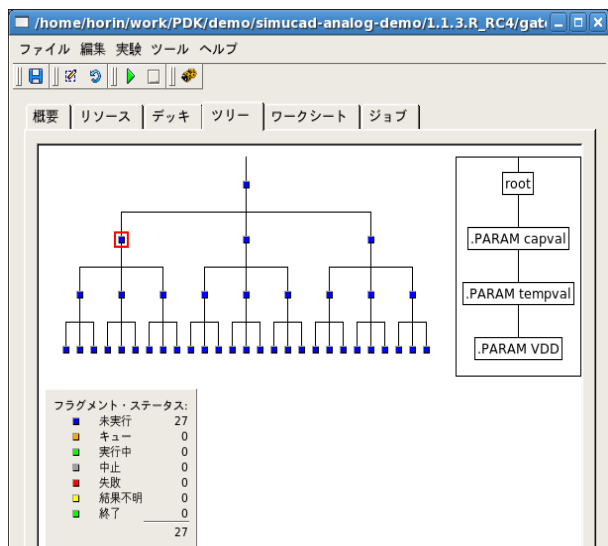


図 13 capval設定後の27条件のツリー

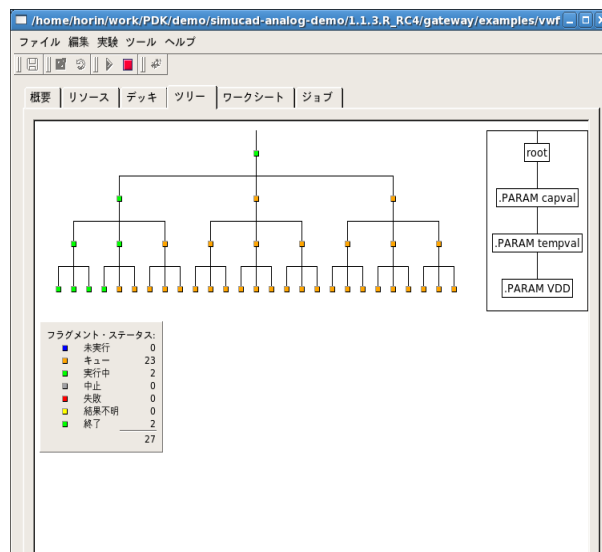


図 14 ツリータブによるシミュレーション状況の確認

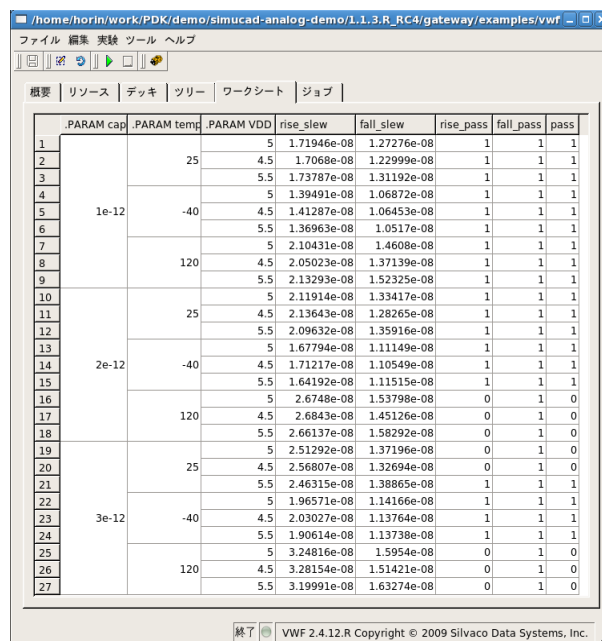


図 15 シミュレーションの結果一覧

まとめ

VWFを回路シミュレーションにも適用することにより、多くのシミュレーション条件を非常に簡単に実行し、結果の確認も素早く行うことができます。VWFはTCADのプロセス・デバイスシミュレーションだけではなくアナログ回路のシミュレーションにおいても優れたシミュレーション環境を提供します。