

VA-디버거 소개

소개

최근 몇 년간, Verilog-AMS 하드웨어 표현 언어 (Verilog-A)는 아날로그, 혼합 신호 설계에 널리 사용되었습니다. 이에 발맞추어, 대부분의 EDA 기업은 Verilog-A 용 시뮬레이션 툴을 제공하고 있습니다. 실바코는 몇 년 전 SmartSpice에서 Verilog-A에 대한 지원을 추가하였습니다. 최근에 VA-Debugger (Verilog-A 디버거)를 개발하여 SmartSpice에 추가하였습니다. VA-Debugger는 시뮬레이션 중에 Verilog-A 소스 코드를 디버깅하는 편리하고 강력한 툴입니다. 이를 통해 설계의 문제점을 빠르게 찾아내어 효율을 크게 개선할 수 있습니다. 여기서 VA-Debugger의 몇 가지 중요한 특징을 소개합니다.

VA-Debugger 호출

SmartSpice의 구성 요소로서 VA-Debugger는 직접 호출할 수 없습니다. 디버거를 실행하려면 다음 절차를 수행합니다.

- 1) Verilog-A 파일에 대해 Verilog-A 옵션 "-debug"를 설정합니다. 세 가지 방식으로 설정할 수 있습니다.
 - a) 넷리스트 파일에서 .option 커맨드를 사용합니다.


```
.options verilog-args="-debug"
```
 - b) 넷리스트 파일에서 .verilog 커맨드를 사용합니다.


```
.verilog "<file-name-string>" -debug
```
 - c) 환경변수 SILVACO_VERILOGA_ARGS를 '-debug'로 설정합니다. 예를 들어, UNIX에서 다음과 같이 설정합니다:


```
%setenv SILVACO_VERILOGA_ARGS -debug
```

옵션을 설정하면 Verilog-A 소스 파일을 최적화하지 않고 처리하여, 필요한 디버깅 정보를 생성합니다

- 2) 그림 1처럼, SmartSpice 메뉴 Edit -> Preferences 에서 "Enable debug info generation" 을 선택합니다.

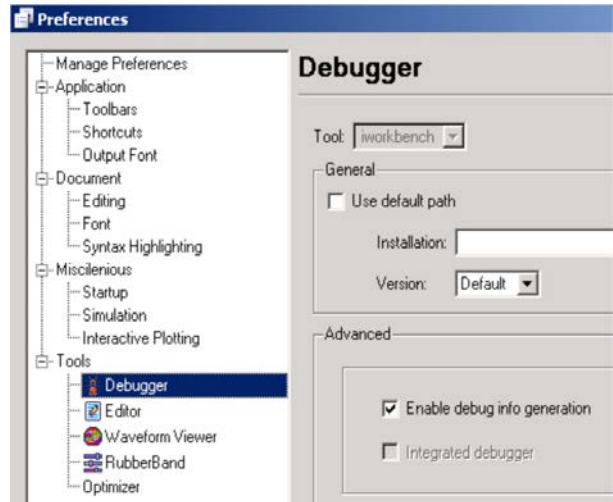


그림 1. VA-Debugger에 대한 설정

SmartSpice를 종료할 때 기본 설정을 저장하면, SmartSpice를 다시 실행할 때 복원됩니다.

- 3) 입력 데크 로딩 후, 아래 그림처럼 'Analysis' 메뉴의 'Debug...' 버튼을 클릭하여 Verilog-A 디버거로 시뮬레이션을 실행합니다.

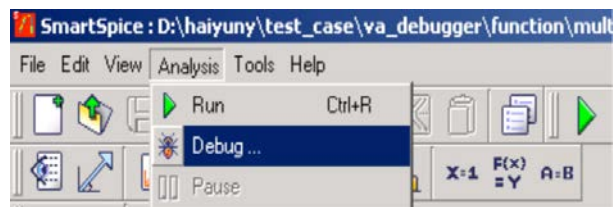


그림 2. VA-Debugger 실행 메뉴

현재 입력 데크에서 Verilog-A 소스 파일을 단계 (1) "-debug" 모드로 처리하지 않으면 VA-Debugger는 호출되지 않으며, Verilog-A 소스 파일에 대한 디버깅 정보가 생성되지 않으므로 시뮬레이션이 최적화 모드로 실행됩니다.

상태 정보 설명

VA-Debugger 창의 하단에 몇 개의 상태 표시줄이 있습니다. 그 중 셋은 특별한 의미가 있습니다.



그림 3. 상태 표시줄

- \$CST: 현재 시뮬레이션 시간
- \$CI: 현재 시뮬레이션 시간으로 반복
- \$TI: 총 반복 횟수

값이 바뀌면 빨간색으로, 그렇지 않으면 검은색으로 표시됩니다. 이는 사용자가 실제 숫자에 관계없이, 시뮬레이션 진행 상황을 모니터링할 수 있도록 도와줍니다.

VA-Debugger에서 \$TI가 어떻게 변경되는지 살펴봅시다. 이 변수는 유효한 시뮬레이션 반복만 계산하며, 시뮬레이션을 어느 시간 구간에서 마친 경우, 한 번만 바뀝니다. 즉, 시뮬레이션을 여러 번 반복한 후, 어느 시점에서 수렴할 수 없다면 이는 \$TI로 계산하지 않습니다. 시뮬레이션의 수렴과 관계없이 \$CI은 반복될 때마다 수정됩니다. 따라서 \$TI 값은 \$CI와 동기화되지 않으며 이는 정상입니다.

중단점 설정

모든 디버거와 마찬가지로, VA-Debugger도 중단점을 설정하는 여러 가지 방법을 제공합니다. 중단점을 설정하는 가장 보편적이고 편리한 방법은 소스 코드 줄 앞에서 마우스 왼쪽 버튼을 클릭하는 것입니다. 중단점을 설정하면 해당 줄 앞에 "stop" 표시가 생깁니다. 줄에 포트 및 변수 선언과 같은 디버깅 정보가 없다면 해당 줄에 중단점을 설정할 수 없습니다.

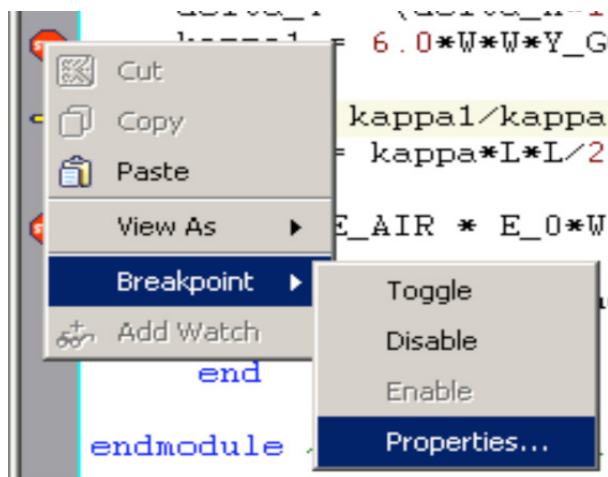


그림 4. 중단점을 설정하기 위해 대화 상자를 호출하는 방법 1

조건부 중단점은 디버깅에 매우 유용하며 VA-Debugger도 이를 지원합니다. 조건부 중단점을 설정하기 위해 대화 상자를 호출하는 방법은 두 가지가 있습니다. 하나는 기존 중단점을 마우스 오른쪽 버튼으로 클릭하고 메뉴에서 Breakpoint->Properties를 선택하는 것입니다.

또 다른 방법은 중단점 창의 중단점 목록에서 중단점을 선택하고 "properties" 버튼을 클릭하는 것입니다.

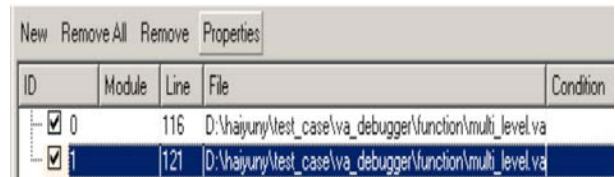


그림 5. 중단점을 설정하기 위해 대화 상자를 호출하는 방법 2

대화 상자에 조건식을 입력할 수 있는 "Condition" 항목이 있습니다. 조건식은 참/거짓 값으로 평가할 수 있는 논리식입니다. 조건식을 올바르게 평가할 수 없는 경우 (잘못된 식 유형, 알 수 없는 기호 등), 이 중단점은 제거되고 "Input/Output" 창에 메시지가 표시됩니다.

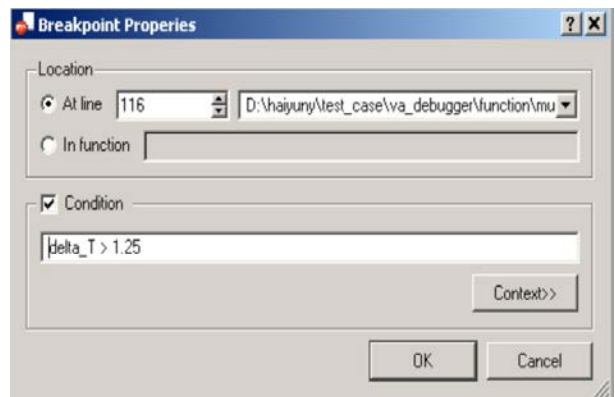


그림 6. 중단점을 설정하기 위한 대화 상자

조건식을 보다 쉽게 작성할 수 있도록, 중단점 설정 대화 상자에 "context" 창이 제공됩니다. 중단점 설정 대화 상자의 "context" 버튼을 클릭하여, "context" 창을 확장하거나 숨길 수 있습니다.

context 창은 변수와 변수 값의 목록을 나타냅니다. 변수 이름 또는 변수 값은 변수를 마우스 오른쪽 버튼으로 클릭하고 메뉴에서 "Insert name" 또는 "Insert value"를 선택하여 조건식 항목에 쉽게 추가할 수 있습니다. 이는 복사 및 붙여넣기 작업을 저장하여 창 간의 전환을 방지합니다.

