

# SmartSpice SEU Module

## 소개

전자 회로의 정보는 전하의 집합으로서 저장되고 전달됩니다. 저장되거나 전달된 전하에 이변을 일으키는 모든 이벤트는 회로의 출력을 잘못되게 할 수 있습니다. 이러한 오류를 일시적인 결함, SE (Soft Error) 또는 SEU (Single Event Upset)라 합니다. 이변의 원인은 강력한 핵 입자나 전기 공급원일 수 있습니다.

이러한 일을 일으키는 핵 입자는 우주에서 지구로 끊임 없이 입사되는 우주의 광선이나 원자의 붕괴로 인해 모든 물질에 미량으로 존재하는 방사성 원자입니다. 대기 중의 핵 입자는 알파 입자, 양성자, 중성자를 포함합니다. 전기 공급원은 전원 노이즈, 전자파 간섭(EMI) 또는 번개로 인한 방사선입니다. 메모리는 공간 밀도와 저장되는 정보의 양 때문에 순간적으로 가장 취약합니다. 나노미터 시대에 기술이 계속 발전함에 따라, 마이크로 프로세서의 소프트 에러율을 추정할 때 메모리 어레이와 코어 로직을 고려하는 것이 중요합니다. 단일 이벤트 과도현상 (SET)은 에너지 입자가 조합 로직 부분과 충돌할 때 발생합니다. 입자에 의해 축적된 전하는 일시적인 전압 교란을 일으키며, 스토리지 부분으로 전파되어 단일 이벤트 이상 (SEU)을 유발할 수 있습니다. 로직 설계 형태, 스토리지 부분의 동작, 시스템 타이밍 요구 사항은 SET에 의한 SEU의 발생에 큰 영향을 미칩니다. 회로 시뮬레이션과 시제품 소자의 중이온 테스트를 통해 이러한 효과를 연구합니다. 소프트 오류는 고성능, 저전력 마이크로 프로세서 설계에서 실질적인 어려움을 야기합니다.

## 메신저 전류 모델링

SmartSpice SEE 기능은 기본적으로 메신저의 결함 모델 [1]을 사용하여, 입사 입자의 영향으로 인한 회로의 소프트 오류를 설명합니다. 정확한 결과를 얻으려면, 외부 매크로 모델이 아닌 트랜지스터 내부에서 그 영향을 발생시키는 것이 중요합니다. SmartSpice에서 트랜지스터의 고유 노드 (BSIM3, Gummel-Poon,

MEXTRAM, BSIMSOI, VBIC, Quasi-RC, EKV)에 전류 발생기가 삽입됩니다. 생성된 전류의 모양은 SmartSpice에서 사용할 수 있는 이중 지수 소스에 근접하게 됩니다. SmartSpice는 또한 PWL, EXP 소스 기능, SmartSpice의 동작 소자, Verilog-A를 통해서 사용자 정의 SE 모델을 허용합니다. 메신저의 결함 모델은 이중 지수 전류 소스입니다. 이론적 표현식은 다음과 같습니다:

이론적 표현식은 다음과 같습니다:

$$i(t) = I_{SEU} \cdot (\exp(-t/\tau_F) - \exp(-t/\tau_R))$$

- ISEU는 주입된 전하의 양에 따라 달라지며 양수 또는 음수일 수 있습니다.
- f는 접합부의 수집 시간 상수를 나타냅니다.
- r은 이온 트랙 설정 시간 상수를 나타냅니다.

위의 식(방정식)은 또한 축적된 전하 의존성을 사용하여 표현할 수 있습니다:

$$i(t) = \frac{Q_{dep}}{\tau_F - \tau_R} \cdot (\exp(-t/\tau_F) - \exp(-t/\tau_R))$$

- $Q_{dep} = ((q \cdot \rho \cdot L_f \cdot LET) / E_{e,h})$ 
  - q = electron charge (1.6E-19C)
  - $\rho$  = material density (2.33g/cm<sup>3</sup>) for silicon
  - L<sub>f</sub> = Funnel Length (cm)
  - LET = Linear Energy Transfer (MeV · cm<sup>2</sup> / mg)
  - E<sub>e,h</sub> = Energy rrequired to create e-h pair (3.6eV in Si)

## 혁신적인 기능

SmartSpice SEU는 메신저 전류 모델링을 기반으로 합니다. 정확한 결과를 얻으려면 외부 매크로 모델이 아닌 트랜지스터 내부에서 효과를 발생시키는 것이 중요합니다. SmartSpice에서 이는 트랜지스터의 고유 노드에

포함되어 있습니다. 사용자는 자신의 고유 모델을 구현할 수도 있습니다.

완전한 SEU 분석을 위해서 현실적으로 충격을 표현할 수 있는 더 많은 옵션이 필요합니다. 무엇보다, 여러 개의 충격을 동시에 또는 거의 동시에 시뮬레이션해야 합니다. 두 개의 분리된 충격은 회로에서 오류를 생성하지 않을 수 있지만, 두 개의 동일한 누적 충격은 셀의 상태를 변화시킬 수 있습니다.

그렇다면 이상이 있는지 없는지 판단할 수 있는 기준이 필요합니다. 충격으로 트랜지스터의 상태가 곧 바뀔 수 있습니다. 하지만 회로가 충분히 견고하면 원래 상태로 돌아가므로 이 상태에서는 이상이 발생했다고 말할 수 없습니다. 가장 좋은 방법은 사용자 정의 파라미터를 이용하는 것입니다. SmartSpice SEU는 주어진 시간 내에 절대적 또는 상대적 오류를 정의할 수 있는 두 가지 가능성을 제시합니다. 즉, 정해진 시간이 경과한 후 노드 전압이 사용자가 입력한 공차를 충족하지 못하면, 시뮬레이터가 이상을 출력합니다.

마침내, 우리는 셀 어디에서도 이상을 확인할 수 있습니다. 일부 셀은 출력 변경을 방지하기 위해 통합된 중복이 있습니다. 그래서 지엽적으로 이상이 있을 수 있지만, 만약 그것이 셀의 전역 동작을 바꾸지 않는다면 이 이상은 중요하지 않습니다. 충격을 받은 노드가 아닌 다른 노드를 확인해야 하는 경우도 있습니다. 이러한 노드 (출력 노드...)에 이상이 없는 경우, 셀은 안전한 것으로 간주합니다.

또한 이 문제를 다른 방법으로도 고려할 수 있습니다. 즉, 이변을 얻기 전에 최대 LET(Linear Energy Transfer)는 얼마입니까? SmartSpice의 QCRIT 기능으로 이 질문에 답할 수 있습니다. 여러 시뮬레이션이 일괄적으로 자동으로 실행되어 LET 값을 직접 제공하면 이 문제를 해결할 수 있습니다.

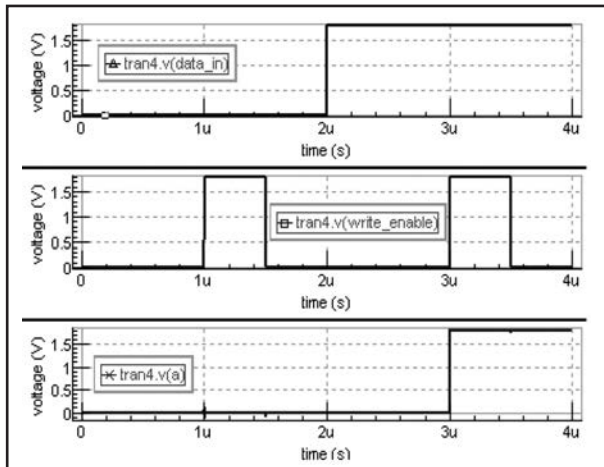


그림 2. 두 개의 쓰기 사이클

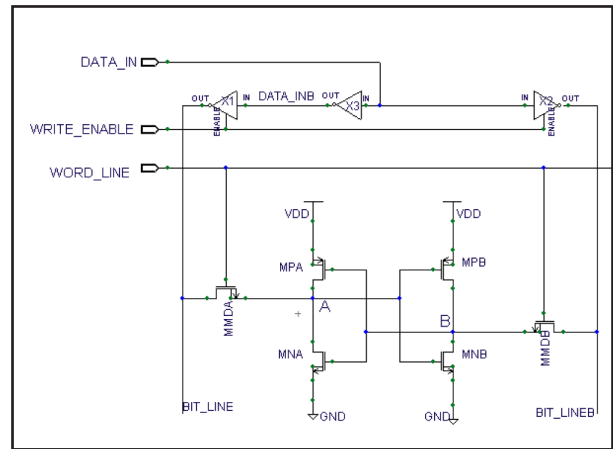


그림 1. 6Mos Sram.

## 예제

이제 Data\_in, Write\_enable, Word\_line 입력 신호가 있는 6 Mos sram을 살펴봅니다 (그림 1).

어떤 작은 변화도 없다면 시뮬레이션은 다음 결과를 제공합니다 (그림 2): V(write\_enable) 신호는 1us에서 "0"을 쓰고 3us에서 "1"을 기록합니다. 저장된 정보에 해당하는 V(a)는 맞습니다.

SmartSpice의 ".rad" 분석을 통해 2.5us에서 MPA 드레인 MOS (그림 1)에 약간의 변화를 가하면, 그림 3과 같이 나타납니다.

```
.RAD SEE=1
+ DEVICE=MPA
+ START = 2.5u
+ TAUR =0.05n TAUF =0.7n LF=1u
+ LET=5
```

V(a)에 작은 변화가 나타납니다. 그림 4는 2.5us에서 확대한 것입니다.

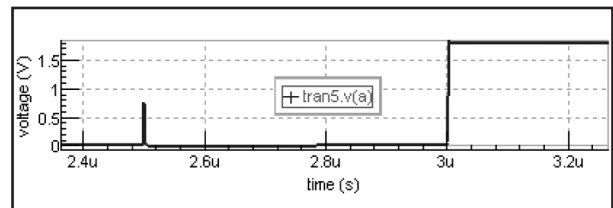


그림 3. 2.5us (LET=5)에서 SEU 영향

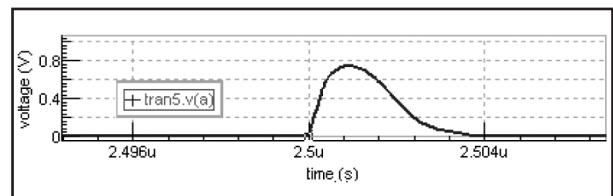


그림 4. 2.5us (LET=5)에서 SEU 영향: 확대/축소

충격의 영향을 분명히 확인할 수 있지만, 여기서는 어떠한 이상도 수반되지 않습니다. V(a)는 여전히 맞습니다. 이제 LET를 6으로 늘리면 그림 5와 같이 나타납니다.

에너지는 메모리 셀에서 바람직하지 않은 상태를 생성하기에 충분합니다.  $t=2.5\mu\text{s}$ 일 때, 저장된 데이터는 "0"에서 "1"로 바뀝니다.

마지막 그림 (그림 6)은 LET 5로 3ns에서 분리된 2개의 충격을 나타냅니다. 하나는 MOS MPA에, 다른 하나는 MNA에 있습니다. 두 개의 영향이 모두 중첩되었습니다.

```
.RAD SEE=2
+ DEVICE=MPA MNA
+ START = 2.500u 2.503u
+ TAUR =0.05n 0.05n
+TAUF =0.7n 0.7n
+ LF=1u LF=1u
+ LET=5 LET=5
```

이 회로는 고장을 방지할 수 있을 정도로 견고하다는 것을 알 수 있습니다.

## Reference

[1] G. Messenger, M. Milton, "Single Event Phenomena", Chapman & Hall editor, 1997.

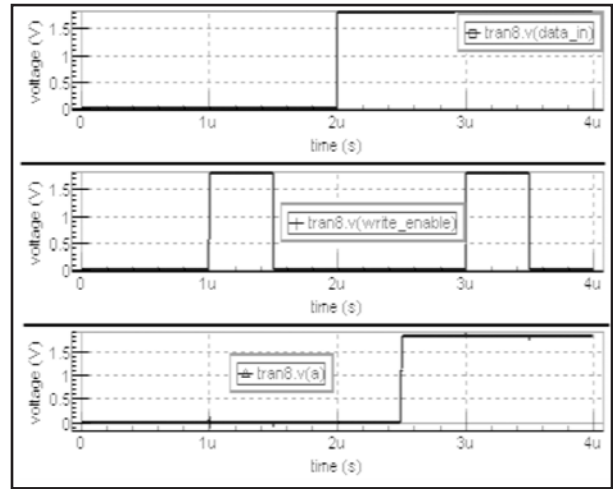


그림 5. 2.5us에서 오류 발생으로 SEU

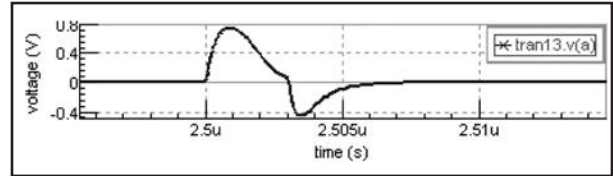


그림 6. 3ns에서 두 가지 충격 분리