ポスト・レイアウト・シミュレーションのための寄生素子のバックアノテーション

はじめに

物理レイアウトから生成される寄生素子の効果を最小限に抑えるために、さまざまなレイアウト処理が行われています。そして、デザインの適切な機能を確保するために、および最終形のシリコン製品の振る舞いをより正確に表現するために、ポスト・レイアウト・シミュレーションは常に必要とされます。そこで、本稿では、ポスト・レイアウト・シミュレーションを実行するために、寄生素子効果をネットリストへバックアノテートする処理について段階に分けて説明します。

抽出および LVS の実行手順

本稿では、レイアウトから抽出したネットリストとスケマティック・ネットリスト間の LVS がすでにクリーンになっていることを前提にします。LVS がクリーンでない場合は、LVS をクリーンにする方法の手引きとして、アプリケーション・ノート『Guardian LVS を使用したレイアウト vs スケマティック(LVS)比較検証の推奨アプローチ』がお役に立つでしょう。

このアプリケーション・ノートは、シルバコ・ジャパンの Web サイトより入手できます(リンク先は下記参照)。

http://www.silvaco.co.jp/pdf/tech_lib_EDA/app_note/018_A_Suggested_Approach_for_Layout_GurdianLVS.pdf

LVS クリーンが完了したら、バックアノテーション処理で必要となる 2 つのファイルを保存する必要があります。その内の 1 つは、LVS 実行時に使用したスケマティック・ネットリストです。そして、もう 1 つは、LVS 設定基準です。これらのファイルは、Guardian LVS ツールで保存可能です。Guardian LVS のメニューバーより、[設定]→[プロジェクト設定]を選択して、[プロジェクト設定]ダイアログの[全般]ページでそれぞれを設定して、ダイアログ下部の[保存]ボタンをクリックして保存します。この設定は、*.gpr ファイルとして保存されます。図 1 は、[プロジェクト設定]ダイアログ、および設定を保存する[プロジェクト設定を保存]ダイアログを示しています。

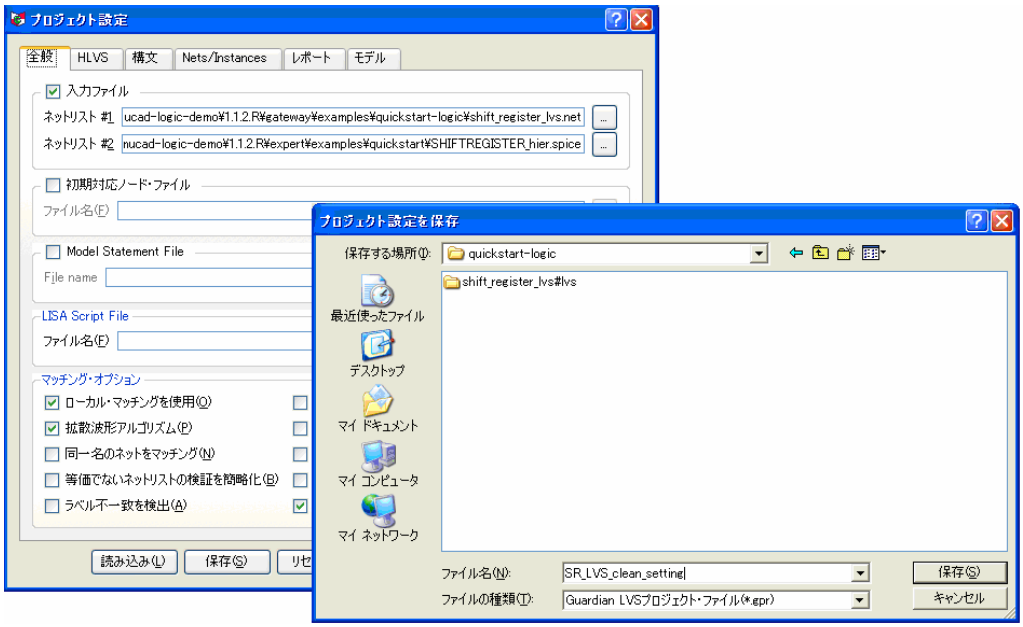

図 1:LVS の設定を*.gpr ファイルに保存

図 2：バックアノテーションに必要なファイルへのパス

*.gpr ファイルは後の処理に役立ちます。それは、スケマティック・ネットリスト(フロントエンド・ネットリスト)とレイアウトから抽出されたネットリスト(バックエンド・ネットリスト)の相関関係を構築する処理方法が含まれているからです。また、Guardian LVS 実行で出力される Match レポートは、バックエンド・ネットリストのネット名を同等のフロントエンド・ネットリストのネット名に関連付けるために使用できます。

バックアノテーション処理の最初の段階は、スケマティック・ネットリストのネット名をレイアウトから抽出したネットリストにバックアノテートすることです。これは重要な処理です。というのも、スケマティック・ネットリストのネット名がシミュレーション時に使用されるからです。つまり、回路シミュレーション時、スケマティック・ネットリストのネット名に対してスティミュラスが渡されます。ネットをスケマティック・ネットリストにバックアノテートするためには、まず、レイアウトからシンプルなネットリスト(寄生素子を含まないネットリスト)を抽出する必要があります。しかし、ここでは、スケマティック・ネットリストのネット名をレイアウト・ネットリストにバックアノテートするための処理方法を説明します。Expert のツールバーから[LPE]ボタンをクリックして[LPE 設定]ダイアログを表示します。そして、[ネットリスティング]タブをクリックして、[ネットリスティング]設定ページを表示し、[バックアノテーション/LVS]フィールドの[バックアノテート]チェックボックスをオンにします。同様に、[LVS のカスタム設定を使用]チェックボックスもオンにします。これにより、LVS マッチングのために使用したスケマティック・ネットリストと LVS をクリーンにするための LVS 設定ファイルへのそれぞれのパスが指定できます。図 2 は、これらの設定を示しています。実際には、その結果として生成されたネットリストは、レイアウトから抽出されたネットリストのままです。同じネットリストの階層構造を持ち、ただし、その中のネット名は対応するスケマティック・ネットリストのネット名に置き換わります。

図 3 は、シフト・レジスタのレイアウトから抽出されたネットリストで、バックアノテート以前のものです。そして図 4 は、同じ回路のスケマティック・ネットリストを示しています。バックアノテート・オプションを選択し、実行結果として生成されたネットリストは、図 5 のようになります。ネットリストの階層構造、並びにパラメータ詳細のレベルは保持され、ネット名だけが置き換わっています。

```
*********************************************
* Sub-Circuit Netlist of : nand2
*********************************************
.subckt nand2 #2 #3 #4 #5 #6
M#2 #1 #6 #4 #4 CMOSN  L=2U W=5U
M#3 #3 #5 #2 #3 CMOSP  L=2U W=10U
M#4 #2 #6 #3 #3 CMOSP  L=2U W=10U
M#1 #2 #5 #1 #4 CMOSN  L=2U W=5U
.ends nand2

*********************************************
* Sub-Circuit Netlist of : NAND_3
*********************************************
.subckt NAND_3 #10 #11 #12 #13 #14 #7
M#8 #7 #12 #10 #7 CMOSP  L=2U W=10U
M#9 #10 #13 #7 #7 CMOSP  L=2U W=10U
M#10 #7 #14 #10 #7 CMOSP  L=2U W=10U
M#6 #8 #13 #9 #11 CMOSN  L=2U W=5U
M#7 #9 #14 #10 #11 CMOSN  L=2U W=5U
M#5 #11 #12 #8 #11 CMOSN  L=2U W=5U
.ends NAND_3

*********************************************
* Sub-Circuit Netlist of : D_FF
*********************************************
.subckt D_FF #15 #16 #21 #22 #23 #24
XI5 #17 #21 #19 #24 #20 #15 NAND_3
XI0 #22 #15 #21 #20 #23 nand2
XI1 #18 #15 #21 #19 #20 nand2
XI2 #23 #15 #21 #22 #17 nand2
XI3 #19 #15 #21 #17 #16 nand2
XI4 #20 #15 #21 #18 #24 nand2
.ends D_FF

*********************************************
* Sub-Circuit Netlist of : SHIFTREGISTER
*********************************************
.subckt SHIFTREGISTER
XI0 #36 #28 #29 #27 #26 #34 D_FF
XI1 #36 #31 #29 #28 #30 #34 D_FF
XI2 #36 #33 #29 #31 #32 #34 D_FF
XI3 #36 #25 #29 #33 #35 #34 D_FF
.ends SHIFTREGISTER
.end
```

図 3：レイアウトから抽出したネットリスト

```
X1 C NET7 OUT0 NET1 VDD GND DFF
X2 C OUT0 OUT1 NET3 VDD GND DFF
X3 C OUT1 OUT2 NET5 VDD GND DFF
X4 C OUT2 OUT3 NET4 VDD GND DFF
*
* Schematic name: DFF
*
.SUBCKT DFF C D Q Q_bar VDD VSS
*
X1 NET13 Q_bar Q VDD VSS NAND2
X2 Q NET10 Q_bar VDD VSS NAND2
X3 NET10 D NET8 VDD VSS NAND2
X4 NET12 C NET13 VDD VSS NAND2
X5 NET8 NET13 NET12 VDD VSS NAND2
X10 NET13 C NET8 NET10 VDD VSS NAND3
*
.ENDS DFF
*
* Schematic name: NAND2
*
.SUBCKT NAND2 IN1 IN2 OUT VDD VSS
*
M1 OUT IN1 NET2 VSS CMOSN L=2U W=5U AD=27.5P AS=27
M2 NET2 IN2 VSS VSS CMOSN L=2U W=5U AD=27.5P AS=27
M3 OUT IN1 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
M4 OUT IN2 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
*
.ENDS NAND2
*
* Schematic name: NAND3
*
.SUBCKT NAND3 IN1 IN2 IN3 OUT VDD VSS
*
M1 OUT IN1 NET2 VSS CMOSN L=2U W=5U AD=27.5P AS=27
M2 NET2 IN2 NET1 VSS CMOSN L=2U W=5U AD=27.5P AS=2
M3 OUT IN1 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
M4 OUT IN2 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
M5 NET1 IN3 VSS VSS CMOSN L=2U W=5U AD=27.5P AS=27
M6 OUT IN3 VDD VDD CMOSP L=2U W=10U AD=55P PD=31U
*
.ENDS NAND3
*
```

図 4：スケマティック・ネットリスト

バックアノテーションを含む R、C、RC 抽出

容量素子抽出(HIPEX-C)、抵抗素子抽出(HIPEX-R)、または HIPEX-RC を使用して両方の寄生素子を組み合わせる際に、レイアウトに寄生素子の効果を含めることができます。これら3つの寄生素子抽出モードはすべて、Expert より起動可能です。特定のプロセスに対する寄生素子係数は、[LPE 設定]ダイアログの[テクノロジ]設定ページで指定します。これらの係数は、2 つの異なるファイル(寄生容量テクノロジ、寄生抵抗テクノロジ)に含まれます。そのために、これらのファイルへのパスを、図 6 のように設定する必要があります。

レイアウトの寄生素子の効果を抽出するには、Expert のメニューバーより、[検証ツール]→[ネットリスト抽出]を選択して、[Hipex-C]→[実行]、[Hipex-R]→[実行]、または[Hipex-RC]→[実行]をクリックします。[Hipex-C]を選択すると、寄生容量素子のみを含んだ抽出ネットリストが生成されます。図 7 は、抽出結果のネットリストの一部です。[Hipex-R]を選択すると、寄生抵抗素子の効果のみを含んだネットリストが生成され、[Hipex-RC]を選択すると、図 8 のような、抵抗素子および容量素子の効果を含んだネットリストが生成されます。

```
*****************************************
* Sub-Circuit Netlist of : NAND2
*****************************************
.subckt NAND2 OUT VDD VSS IN1 IN2
M2 NET2 IN2 VSS VSS CMOSN  L=2U W=5U
M3 VDD IN1 OUT VDD CMOSP  L=2U W=10U
M4 OUT IN2 VDD VDD CMOSP  L=2U W=10U
M1 OUT IN1 NET2 VSS CMOSN  L=2U W=5U
.ends NAND2

*****************************************
* Sub-Circuit Netlist of : NAND3
*****************************************
.subckt NAND3 OUT VSS IN3 IN2 IN1 VDD
M6 VDD IN3 OUT VDD CMOSP  L=2U W=10U
M4 OUT IN2 VDD VDD CMOSP  L=2U W=10U
M3 VDD IN1 OUT VDD CMOSP  L=2U W=10U
M2 NET1 IN2 NET2 VSS CMOSN  L=2U W=5U
M1 NET2 IN1 OUT VSS CMOSN  L=2U W=5U
M5 VSS IN3 NET1 VSS CMOSN  L=2U W=5U
.ends NAND3

*****************************************
* Sub-Circuit Netlist of : DFF
*****************************************
.subckt DFF VDD D VSS Q Q_bar C
X10 NET10 VSS NET8 C NET13 VDD NAND3
X1 Q VDD VSS NET13 Q_bar NAND2
X5 NET12 VDD VSS NET8 NET13 NAND2
X2 Q_bar VDD VSS Q NET10 NAND2
X3 NET8 VDD VSS NET10 D NAND2
X4 NET13 VDD VSS NET12 C NAND2
.ends DFF

*****************************************
* Sub-Circuit Netlist of : top
*****************************************
.subckt top
X4 VDD OUT2 GND OUT3 NET4 C DFF
X3 VDD OUT1 GND OUT2 NET5 C DFF
X2 VDD OUT0 GND OUT1 NET3 C DFF
X1 VDD NET7 GND OUT0 NET1 C DFF
.ends top
```

図 5：バックアノテートされたレイアウト・ネットリスト

図 8 で示すように、特定のネットをサブネットに分割して、寄生抵抗を回路へ挿入できます。たとえば、NET12 は NET12:17 と NET12:25 で表現されています。また、ネット VDD が複数のサブネットに分解されています。[LPE 設定]ダイアログにおいて、寄生素子の抽出方法をユーザ自身で設定することも可能です。ユーザ設定の例は、次項で説明します。

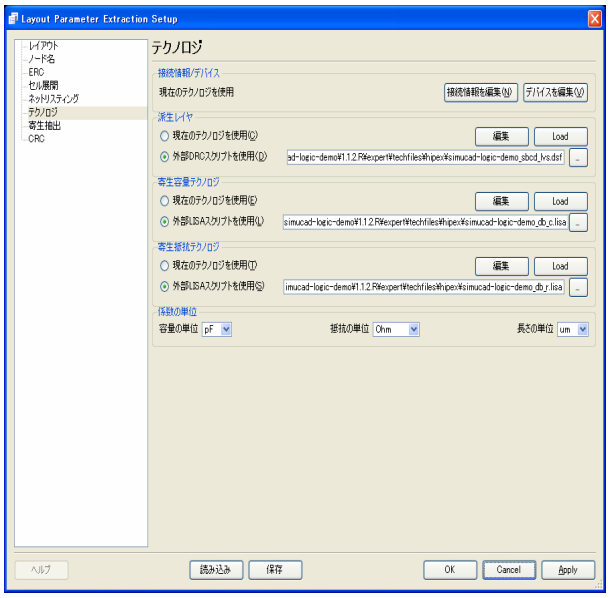

図 6：寄生素子の係数ファイルへのパス

```
*********************************************
* Sub-Circuit Netlist of : DFF
*********************************************

.subckt DFF VDD D VSS Q Q_bar C
X10 NET10 VSS NET8 C NET13 VDD NAND3
X1 Q VDD VSS NET13 Q_bar NAND2
X5 NET12 VDD VSS NET8 NET13 NAND2
X2 Q_bar VDD VSS Q NET10 NAND2
X3 NET8 VDD VSS NET10 D NAND2
X4 NET13 VDD VSS NET12 C NAND2

*** Parasitic capacitors ***

Cp1 NET12 NET13 8.31903e-016
Cp2 NET12 NET8 3.88372e-017
Cp3 NET12 SUB 3.82461e-013
Cp4 NET13 NET8 3.88372e-017
Cp5 NET13 SUB 1.14145e-012
Cp6 NET8 NET10 5.32508e-016
Cp7 NET8 SUB 7.69817e-013
Cp8 NET10 SUB 7.60928e-013
```

図 7：寄生 C を含むバックアノテートされたネットリスト

```
*
* Sub-Circuit Netlist of : DFF
*
*********************************************************************************

.subckt DFF VDD:219 VDD:144 VDD:143 VDD:157 VDD:151 VDD:153 VDD:154 VDD:155
+VDD:149 VDD:140 VDD:142 VDD:141 VDD:148 VDD:147 D:40 D:39 VSS Q:36 Q:41 Q:42
+Q_bar:23 Q_bar:22 Q_bar:18 C:138 C:140 C:139 C:137
X10 NET10:31 VSS NET8:39 NET8:38 C:138 C:140 NET13:45 NET13:44 VDD:219 VDD:144
+VDD:143 VDD:157 NAND3
X1 Q:36 VDD:219 VDD:151 VDD:153 VSS NET13:47 NET13:46 Q_bar:23 Q_bar:22 NAND2
X5 NET12:19 VDD:219 VDD:154 VDD:155 VSS NET8:41 NET8:40 NET13:48 NET13:49 NAND2
X2 Q_bar:18 VDD:219 VDD:149 VDD:140 VSS Q:41 Q:42 NET10:34 NET10:35 NAND2
X3 NET8:33 VDD:219 VDD:142 VDD:141 VSS NET10:37 NET10:36 D:40 D:39 NAND2
X4 NET13:39 VDD:219 VDD:148 VDD:147 VSS NET12:22 NET12:21 C:139 C:137 NAND2

*** Parasitic resistors ***

Rp1 NET12:17 NET12:25 0.034358
* Layer METAL2 at (19.5, 31.5)
Rp2 NET12:17 NET12:29 56.910566
* Layer connect_poly at (19.5, 31.5)
Rp3 NET12:17 NET12:30 56.910566
* Layer connect_poly at (19.5, 31.5)
Rp4 NET12:29 NET12:30 140.105155
```

図 8：寄生 RC を含むバックアノテートされたネットリスト

寄生素子抽出のオプション

[LPE 設定]ダイアログの[ネットリスティング]設定ページ(図 2 参照)にある[寄生抵抗ネットリスト]セクションで、寄生抵抗ネットリストの保存先パスとファイル名を指定できます。ネットリストに寄生抵抗素子の XY 座標とこの抵抗値が生じた物理レイヤの名前を含める場合、パスを指定した[SPICE ファイル]フィールドの下部にある 2 つのチェックボックス[X/Y 座標]と[レイヤ名]をオンにしてください。また、同じ[ネットリスティング]設定ページの[寄生容量ネットリスト]セクションで、寄生容量ネットリストの保存先パスとファイル名を指定します。加えて、[カップリングのしきい値]フィールドで、カップリング容量のしきい値を設定できます。

カップリング容量のしきい値を 0 に設定すると、すべてのネットは、他のすべてのネットに対して寄生容量を持つ可能性があります。カップリングのしきい値を設定することで、容量値がしきい値を超えた場合のみ、ネットごとに容量値を表示します。しきい値よりも小さい値を持つすべての容量素子は、同じ値を持つグラウンド容量素子に置き換えられます。2 つのネット間のカップリング容量を置き換えるとき、対応するグラウンド容量素子が、両方のネットに追加されます。

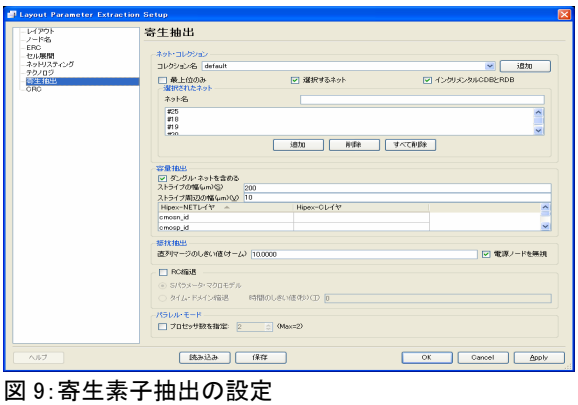

図 9：寄生素子抽出の設定

[ネットリスティング]設定ページでは、次に[寄生 RC ネットリスト]セクションが続きます。ここで、生成するネットリストの保存先パスと、希望する出力フォーマット(SPICE、DSPF、SPEF)を指定します。また、[カップリング・ネット]チェックボックスをオンにして、フィールドにカップリング・ネットのリストを入力することもできます。ネット・リストを入力すると、これらのネットをカップリング・ネットと認識します。そして、リストアップされたネットの容量はグラウンド処理されません。

[LPE 設定]ダイアログの[寄生抽出]タブをクリックすると[寄生抽出]設定ページ(図 9 参照)が表示されます。ユーザ自身で設定オプションを定義できます。

寄生素子抽出を、設定したネットのリストに対して実行することも([選択するネット]チェックボックスをオン)、または、抽出しないネットを選択することも([無視されるネット]セクションにリストアップ)可能です。寄生抵抗に関して、直列抵抗をマージするしきい値を設定することもできます([抵抗抽出]セクションの[直列マージのしきい値]フィールド)。これを設定することで、出力されるネットリスト内の抵抗の数を減らせます。しきい値を 10 Ohm に設定すると、しきい値より小さい値を持つすべての寄生抵抗は、可能な限り直列に結合されます。抽出の設定はファイルに保存可能です。*.epo ファイルが生成され、後で再び読み込むことができます。ここで説明した機能やオプションの詳細については、『Guardian Layout Verification ユーザーズ・マニュアル』を参照してください。

まとめ

本稿では、ポスト・レイアウト・シミュレーションを実行するために、寄生素子効果をネットリストへバックアノテートする処理を簡素化する方法とツールの機能を説明してきました。この処理方法により、物理デザインをベースにした最終形のシリコン製品の振る舞いをより正確に評価できます。そして、レイアウトに必要な変更を加え、デザインの適切な機能を確保するために役立ちます。